

## 1 概述

本文档重点介绍了进入 Boundary Scan 模式来进行板级测试的过程。它提供了设置顺序和脚本示例，以确保首次测试通过。

工程师需要了解 IEEE1149.1 中的测试访问端口和 Boundary Scan 体系结构的标准。

### 1.1 Boundary Scan

Boundary Scan 是一种测试 PCB 板和芯片内部子模块之间互连的方法。它在 IEEE1149.1 标准中有明确的定义。

在 Boundary Scan 测试中，设备上的每个主要输入和输出信号都被补充为多功能存储元件，从而被称为 Boundary Scan 单元。这些单元连接到移位寄存器，该寄存器称为 Boundary Scan 寄存器。该寄存器可用于读取和写入端口状态。

在正常模式下，这些单元是透明的，核心 ( Core ) 已连接到端口。在 Boundary Scan 模式下，内核与端口隔离，并且端口信号由 JTAG 接口控制。

图 1 是 boundary scan 的应用原理示意图。

### 目录

1	概述.....	1
1.1	Boundary Scan.....	1
1.2	测试接入端口 JTAG.....	2
2	软件安装.....	3
3	硬件连接示意图.....	3
4	应用 Lauterbach TRACE32 调试器验证 BSDL 文件 .....	8
5	i.MX RT 系列其他验证板介绍.....	13
6	版本历史.....	14



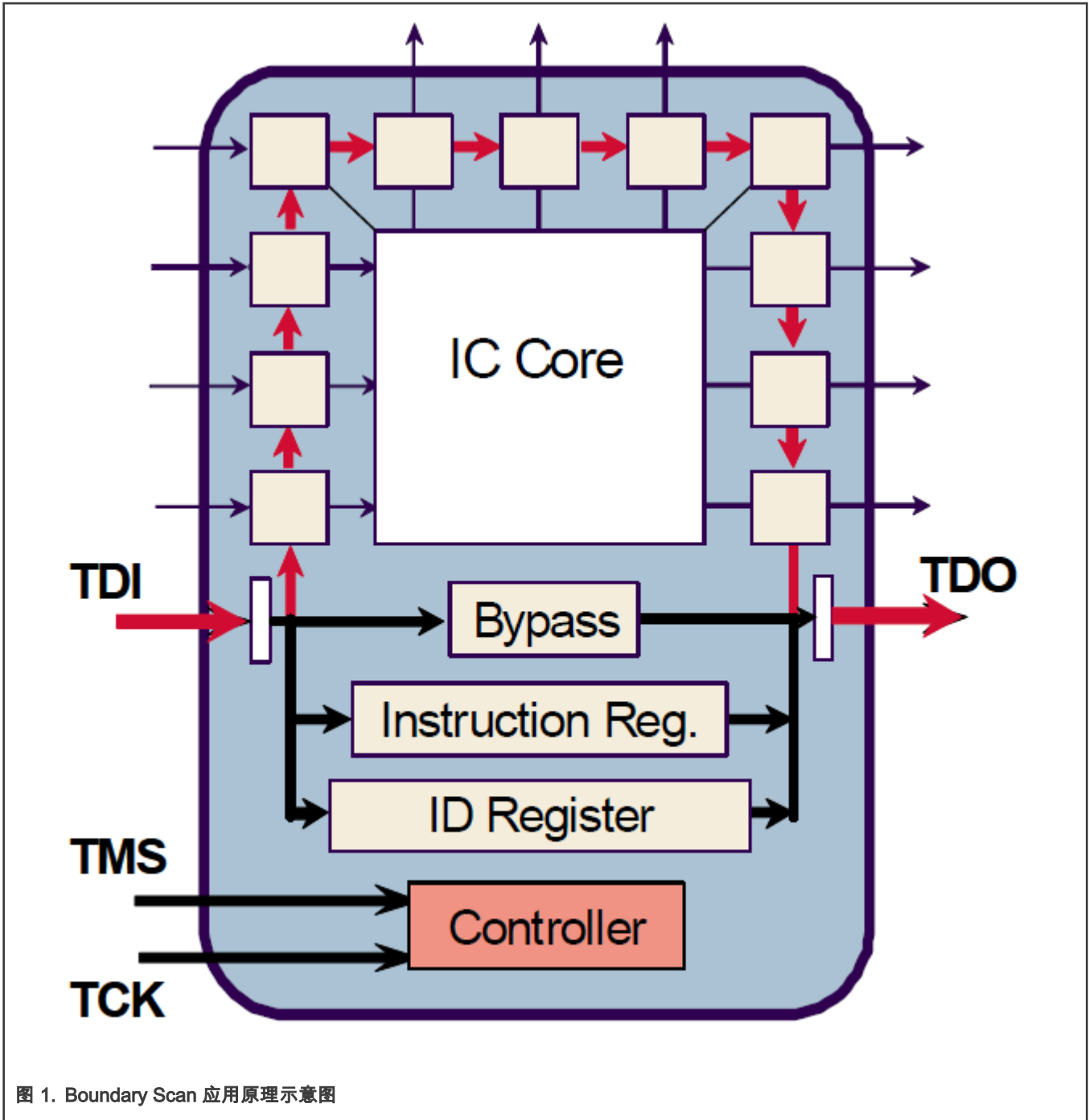


图 1. Boundary Scan 应用原理示意图

### 1.2 测试接入端口 JTAG

JTAG 端口是通用测试接口，可以提供对组件内置的许多测试支持功能的访问，它主要包含 Table 1 中给出的四个或五个信号。

Table 1. JTAG 引脚信号定义

Signal name	I/O type	Description
TCK	Input	测试输入时钟信号，为逻辑测试提供时钟

Table continues on the next page...

Table 1. JTAG 引脚信号定义 (continued)

Signal name	I/O type	Description
TMS	Input	测试选通信号，在 TCK 信号出现上升沿时 TMS 处的信号值决定了 JTAG 控制器的下一个状态
TDI	Input	串行输入测试指令和数据信号
TDO	Output	串行输出测试指令和数据信号
TRST_N	Input	可选择引脚 TRST，测试复位输入引脚，低电平有效

## 2 软件安装

用户可以直接访问 Lauterbach 官网，下载最新的 TRACE32 软件安装包，参考地址如下所示: [https://www.lauterbach.com/frames.html?download\\_overview.html](https://www.lauterbach.com/frames.html?download_overview.html)

安装软件到本地电脑时有以下两个方面需要注意：

1. 软件安装包大约 3.9G 左右，需要占用相应的电脑硬盘空间，安装时可选择性的安装模块。
2. 安装目录 `C:\T32\bin\windows64\drivers`，用户可以在文件夹内找到相应的驱动程序。

## 3 硬件连接示意图

TRACE32 调试器硬件通常包含以下两个部分:

- 通用调试器硬件
- 特定的处理器系统结构的调试电缆

图 2 是硬件连接示意图

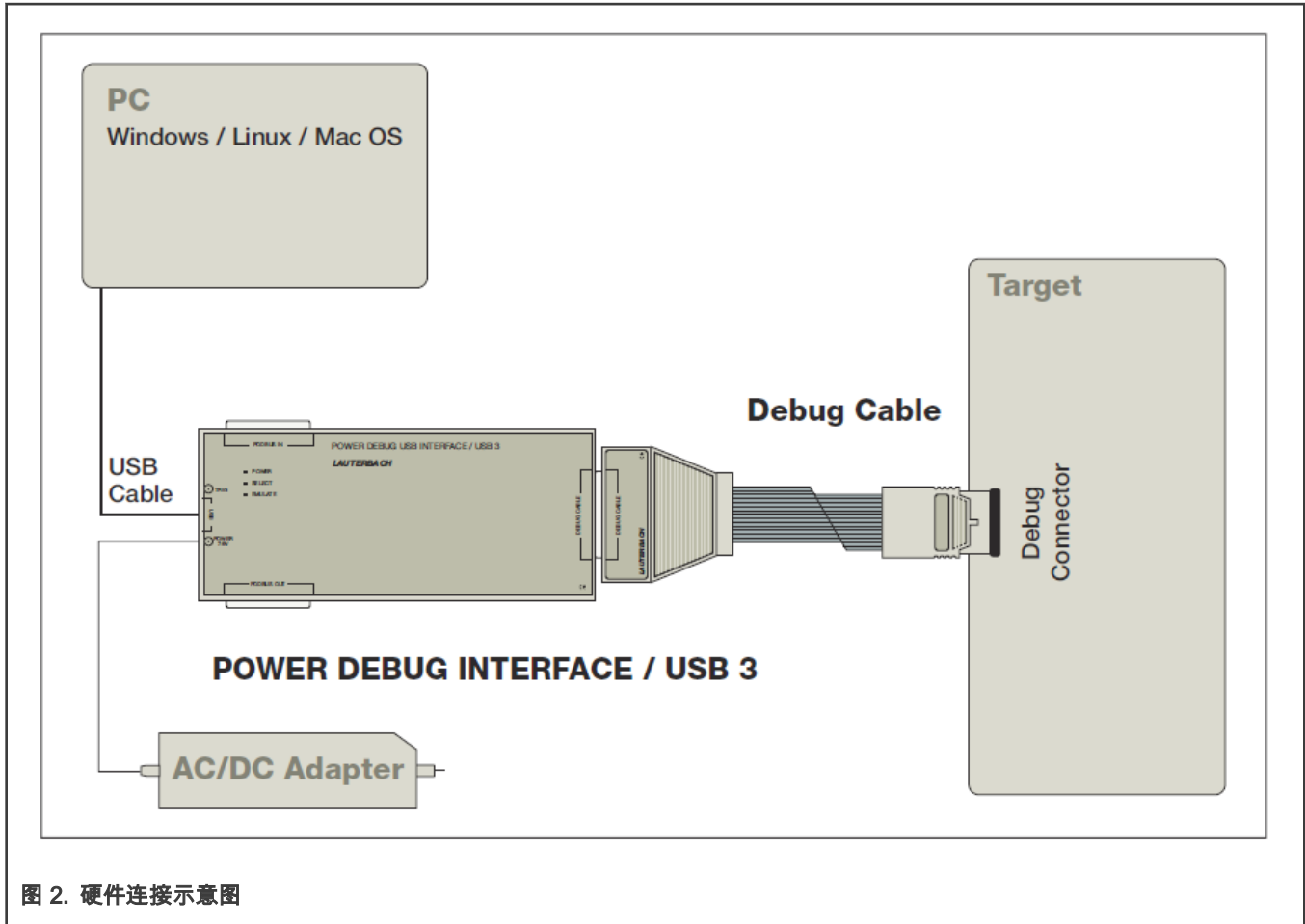


图 2. 硬件连接示意图

## TRACE32 调试器使用注意事项:

1. 为防止 TRACE32 调试器或是待测试板损坏，禁止在测试板上电的情况下插拔 TRACE32 调试器，建议上电顺序如下：
  - a. 上电时: TRACE32 调试器 -> 测试板
  - b. 下电时: 测试板 -> TRACE32 调试器
2. TRACE32 调试器的电缆有 pin1 提示, 请确认针脚的对应位置, 防止调试电缆和测试板内的 JTAG 连接器连接时插反。
3. TRACE32 调试器软件打开时可以按 F1 进入在线帮助系统。
1. 下面以 RT1064 EVK 验证板为例, 图 3 是硬件连接示意图：
  - a. 通过 TRACE32 调试器自带的 20pin JTAG 线缆连接到 EVK 验证板。
  - b. 使用 TRACE32 调试器自带的 USB 数据线连接到电脑。
  - c. 使用 USB 数据线将 EVK 验证板连接到电脑。



- 应用 NXP-MCUBootUtility-2.3.0 软件，在 eFuse 里面选择 **JTAG** 模式并用烧录 eFuse。请注意，EVK 验证板烧录为 JTAG 后无法再重新烧录到 SWD 模式。图 4 显示了详细的设置信息页面。

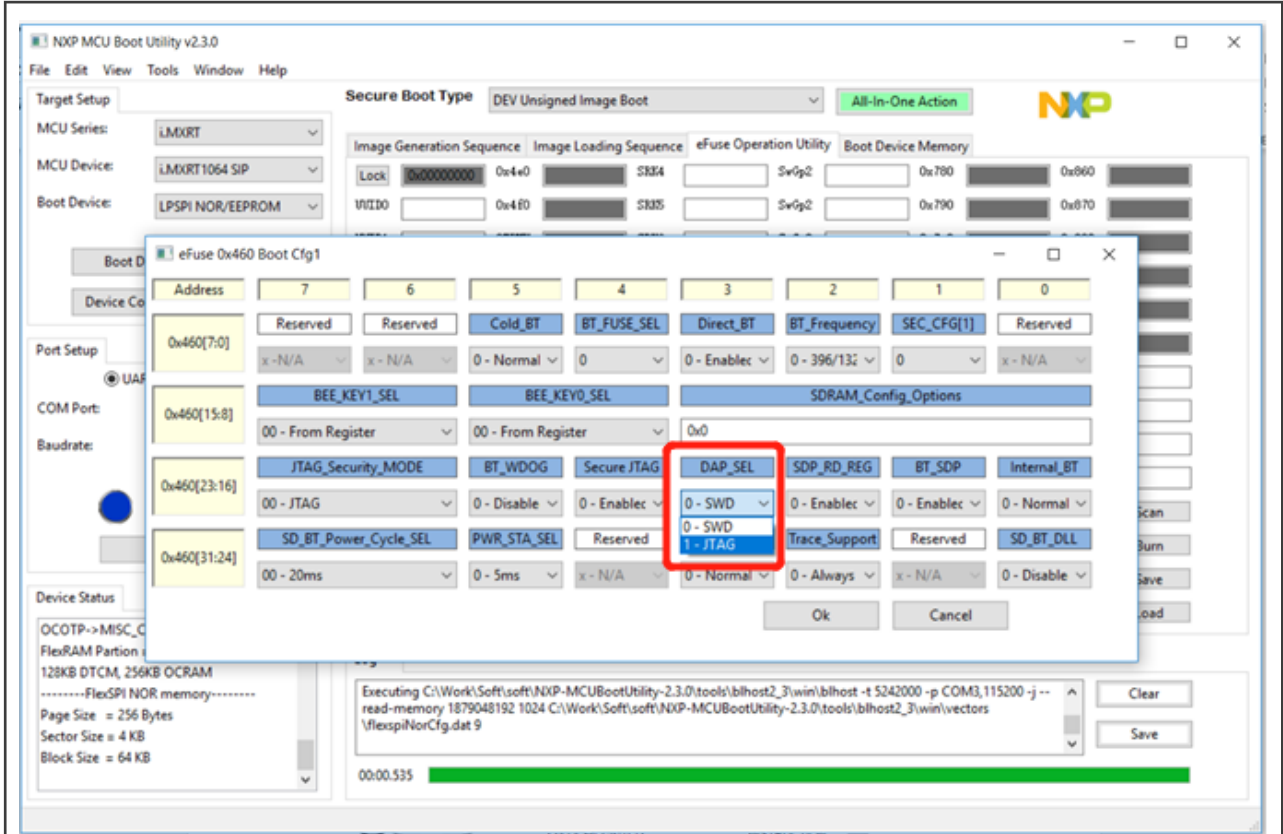


图 4. NXP-MCUBootUtility-2.3.0 eFuse 里面烧录 JTAG

3. 检查 BSDL 文件中的 COMPLIANCE\_PATTERN 部分，它定义了芯片内三个 pin 角的状态，(TEST\_MODE, GPIO\_AD\_B0\_08, POR\_B) (011)，0 代表低电平，1 代表高电平。在 EVK 板上进行检查并修改使其与 BSDL 文件中的状态相同。图 5 是 BSDL 文件中的截图，图 6 是 Test Mode 和 Por\_B 这两个引脚的连接示意图：

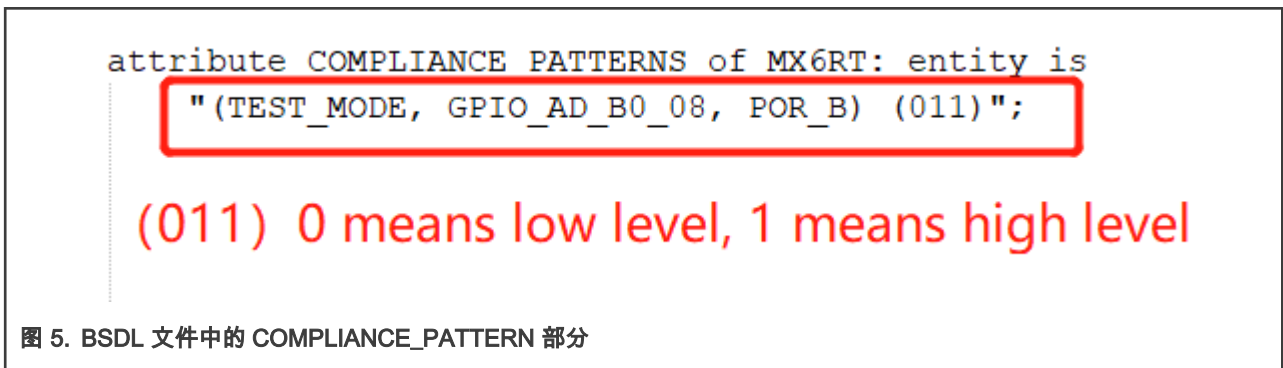


图 5. BSDL 文件中的 COMPLIANCE\_PATTERN 部分

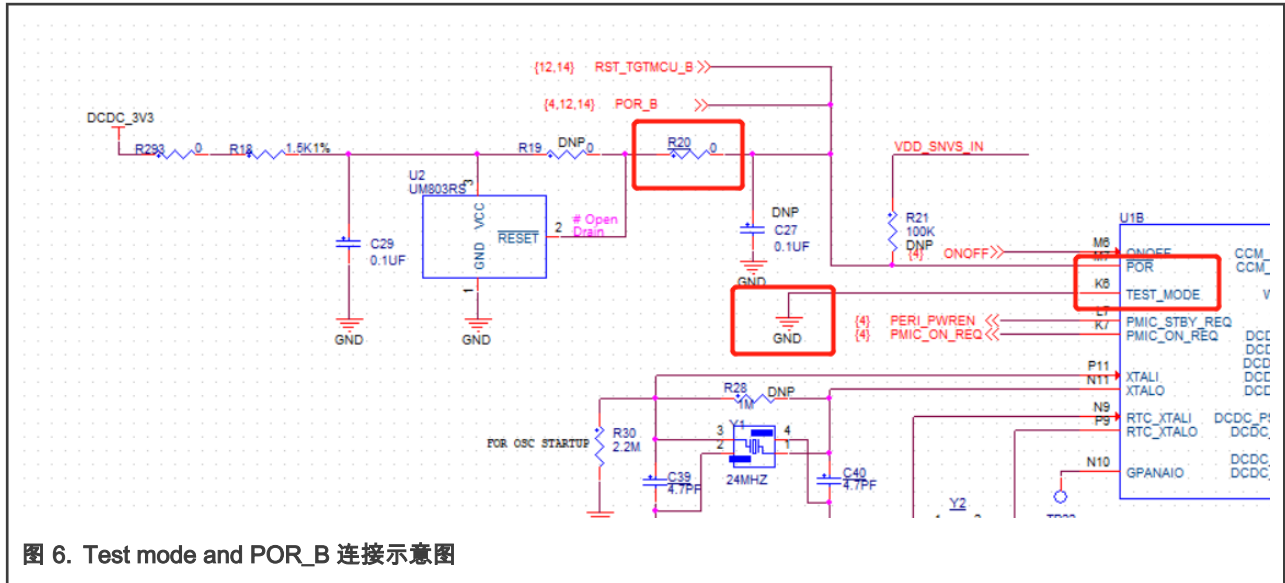


图 6. Test mode and POR\_B 连接示意图

4. BSDL 文件定义了引脚 **GPIO\_AD\_B0\_08** 的状态为高电平，但实际 RT1064 EVK 验证板上通过 R303 电阻下拉到地，所以需要删除下拉电阻，并将引脚上拉到板内的 DCDC\_3V3。图 7 显示了原理图中相应的连接示意图。

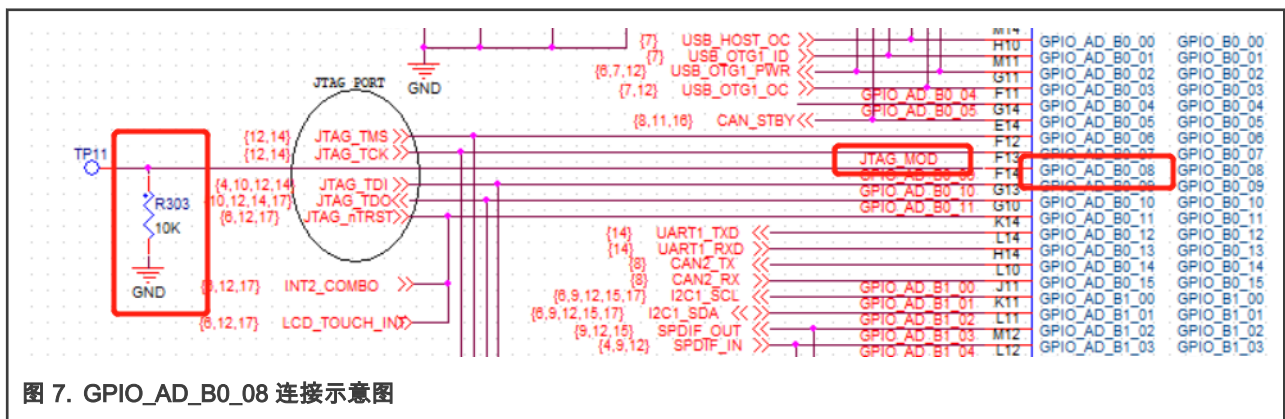
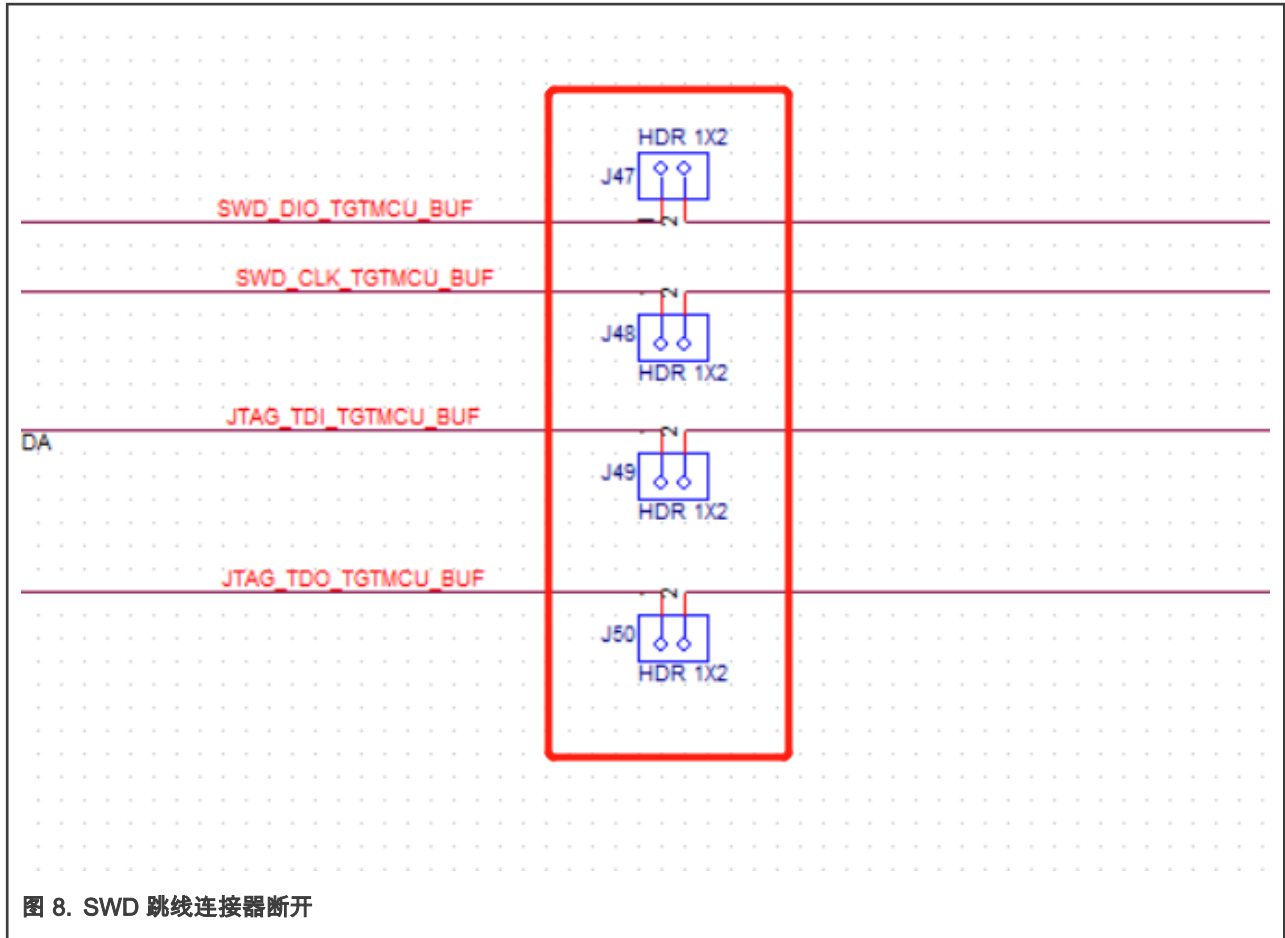


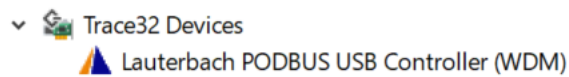
图 7. GPIO\_AD\_B0\_08 连接示意图

5. RT1064 EVK 验证板上应用了 OPENSADA 电路，进行 Boundary Scan 测试时会对 JTAG 的信号电平产生影响。所以需要断开它们之间的跳线连接器 J47, J48, J49, J50。图 8 列出了需要断开的跳线连接器。



## 4 应用 Lauterbach TRACE32 调试器验证 BSDL 文件

1. 调试器和 PC 连接并且上电后，用户可以在设备管理器中发现 **Trace32 Devices**.



**NOTE**

Lauterbach 调试器推荐型号 LA-4533 Debug-USB3,with LA-7960/4513. 设备相关的详细信息可以通过官网查询:  
<https://www.lauterbach.com>.

2. 打开 TRACE32 软件, 选择 **TRACE32 ICD ARM32 USB**。





3. 软件打开后，在下面的命令窗口依次输入以下命令，每个命令输入后回车确认。

```

System.Down
BSDL.RESet
BSDL.ParkState Select-DR-Scan
BSDL.state

```

4. 这时软件就会自动弹出 BSDL.state 窗口。点击 **FILE** 进入浏览文件页面，并选择需要验证的 BSDL 文件双击打开。图 9 是 BSDL.state 操作窗口。

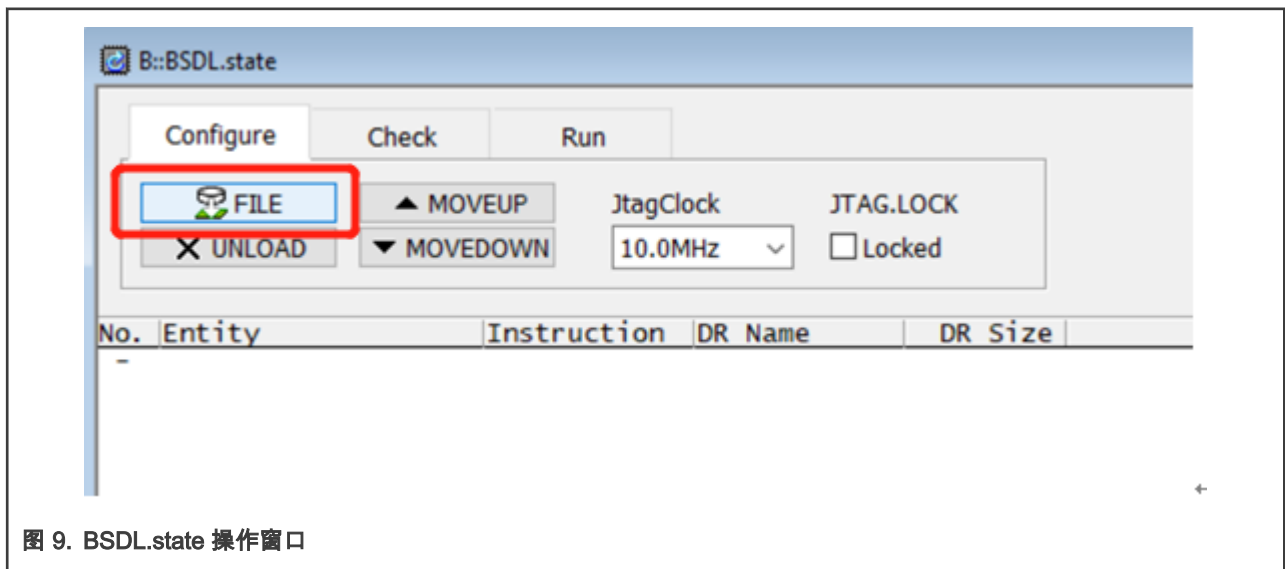


图 9. BSDL.state 操作窗口

5. 文件打开之后，在下面的命令窗口中输入下面的命令回车确认。

```

BSDL.SOFTRESET

```

6. 切换到 **Check** 选项界面，依次点击 **BYPASSall** 和 **IDCODEall** 两个选项依次进行相应的检查，显示 **Test PASS** 就可以。图 10 是详细操作步骤信息。

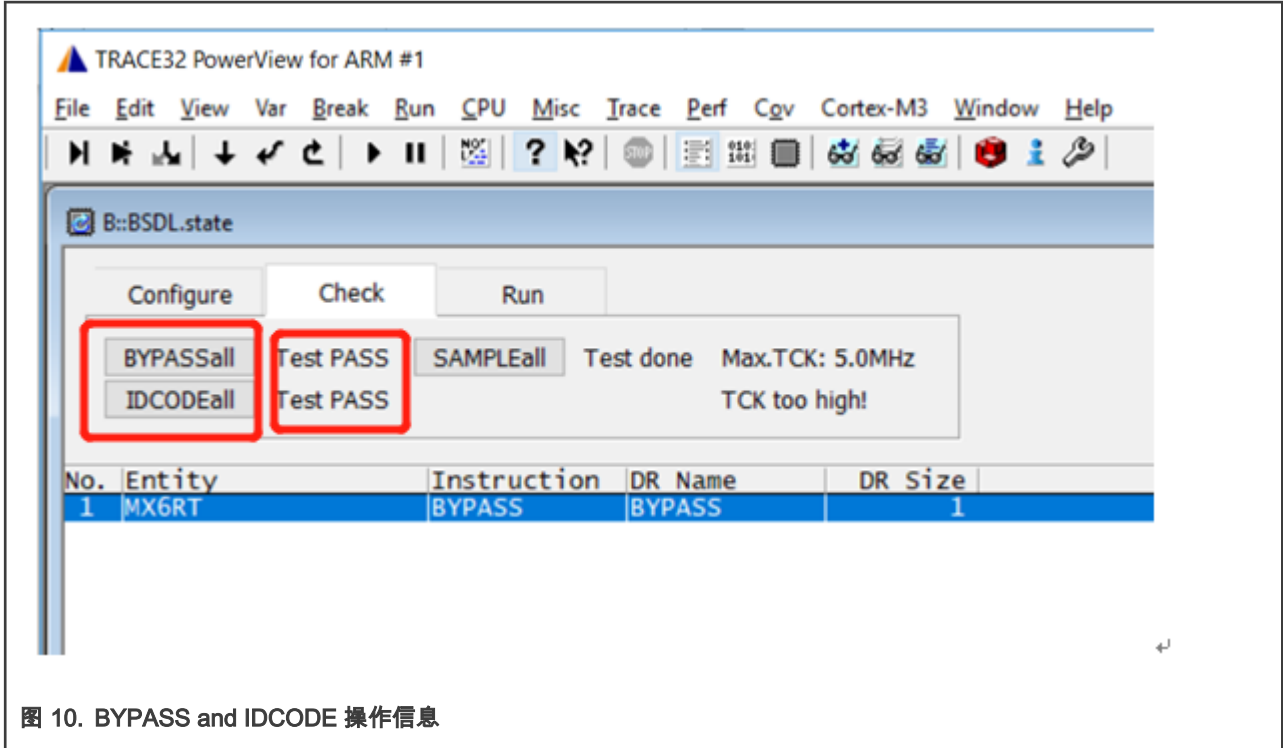


图 10. BYPASS and IDCODE 操作信息

7. 然后点击 **SAMPLEall** 选项，这时由于 Test done 所以不会有任何提示出现。请双击下面的文件名位置，BSDL.SET 窗口会自动弹出。图 11 是 SAMPLE 操作步骤。

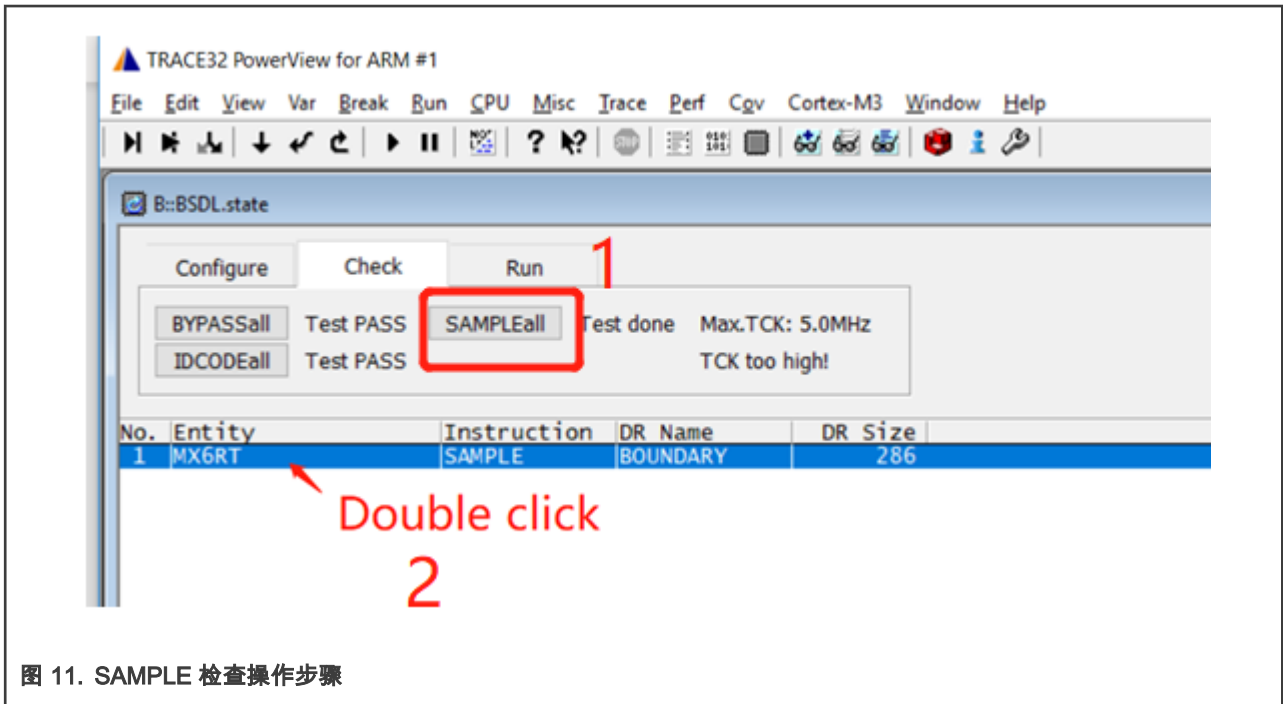


图 11. SAMPLE 检查操作步骤

8. 在 BSDL.SET 窗口中，请将 **filter data** 选项中的 **Intern** 勾选删除，芯片内部的信号不需要进行测试。下面详细列出了当前验证板上芯片的每个信号引脚上的实际状态值，0 是低电平，1 是高电平。使用万用表测量 EVK 板上相应引脚的信号电压是否和 SAMPLE 中列出的值相匹配，可以多测量几个管脚相比较。图 12 是 SAMPLE 检查窗口。

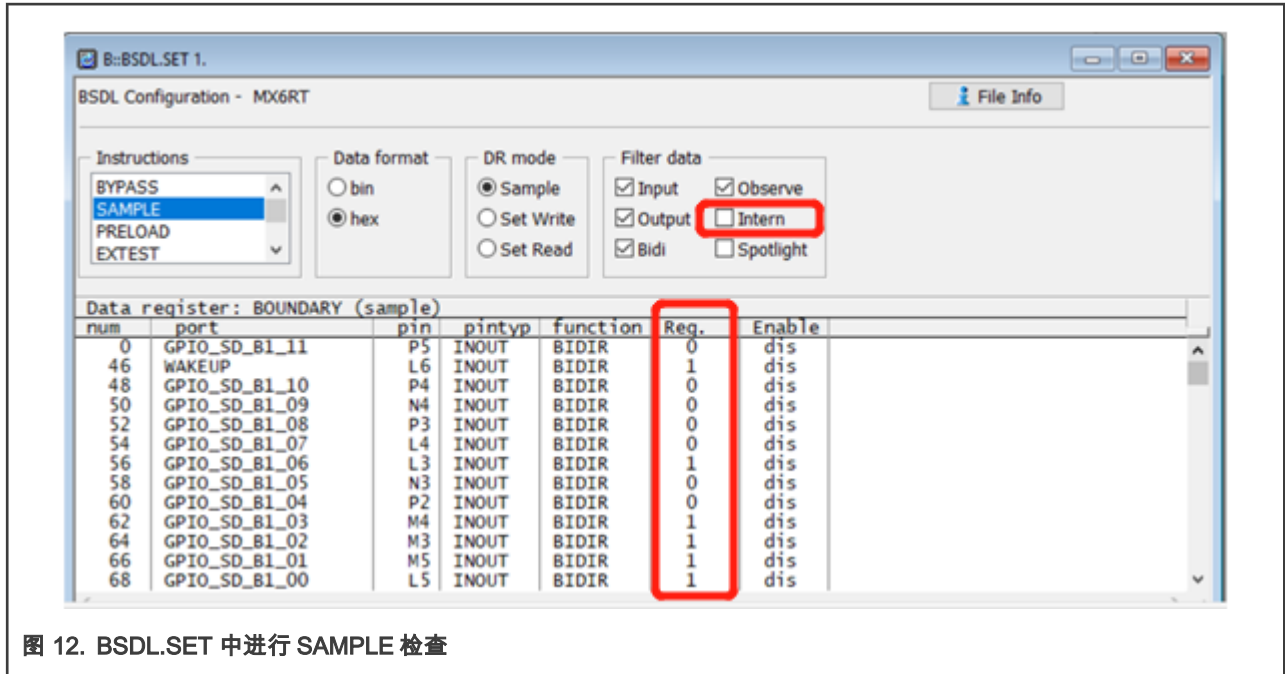


图 12. BSDL.SET 中进行 SAMPLE 检查

- 在 BSDL.SET 窗口中，Instructions 下面点击 EXTEST，在 DR mode 中勾选 Set Write，如图 13 所示。然后切换到 BSDL.state 窗口勾选 SetAndRun 和 TwoStepDR 即可，如图 14 所示。然后再切换到 BSDL.SET 窗口。

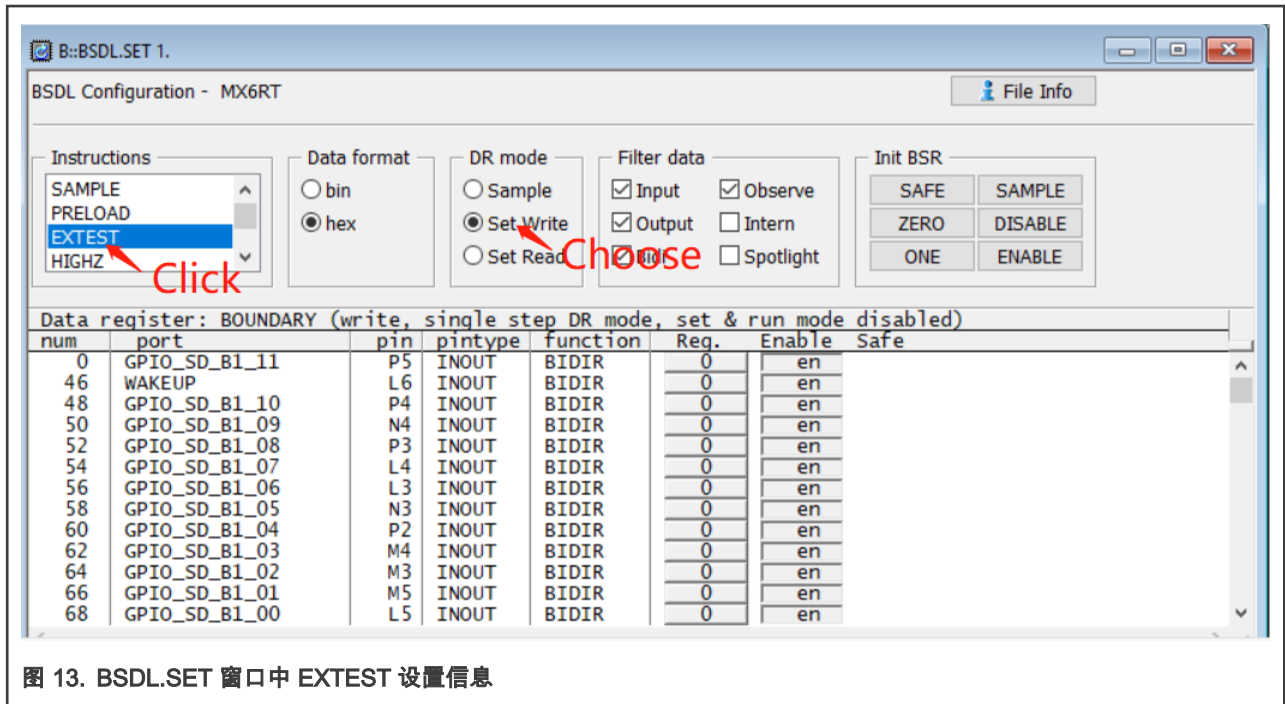


图 13. BSDL.SET 窗口中 EXTEST 设置信息

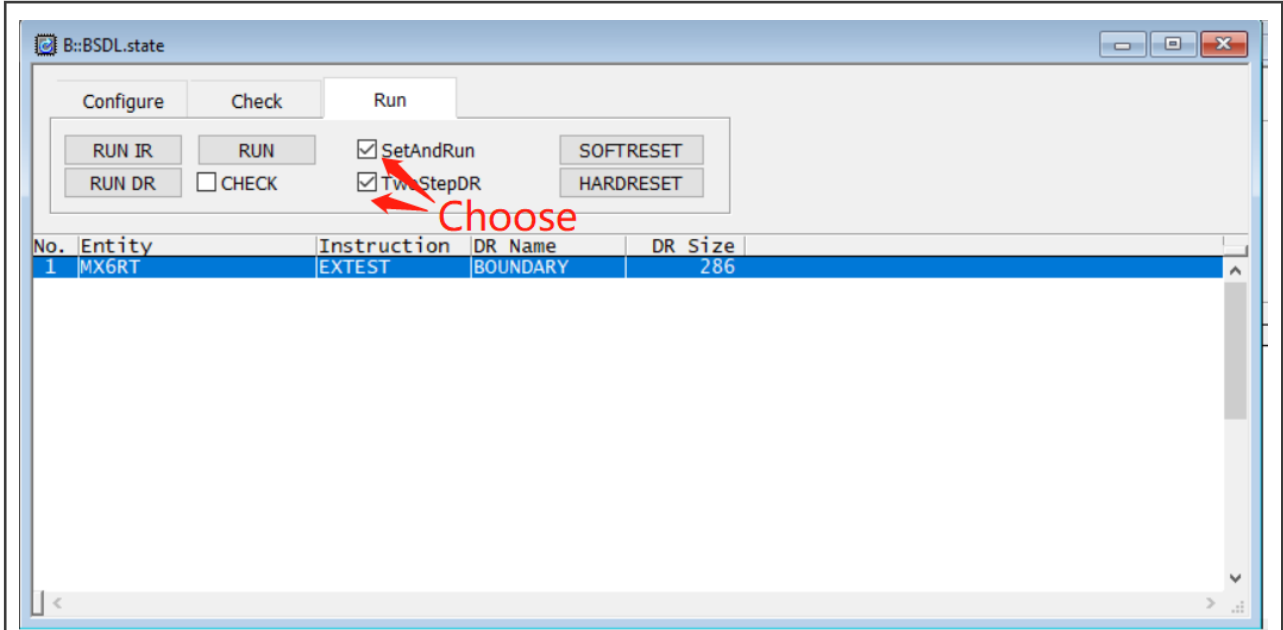


图 14. BSDL.STATE 窗口中设置信息

- 在 BSDL.SET 窗口中，这时单击 **Enable** 列中的按钮可以启用或停止相应引脚的信号输出，然后单击 **Reg.** 中的按钮可以切换其输出状态为 0 或 1。使用万用表测量 EVK 板上的信号电平是否能匹配这些引脚上信号的电平状态。图 15 中首先点击 en 使管脚进入使能状态，然后点击“Reg.”可以在 0 和 1 两种状态切换。

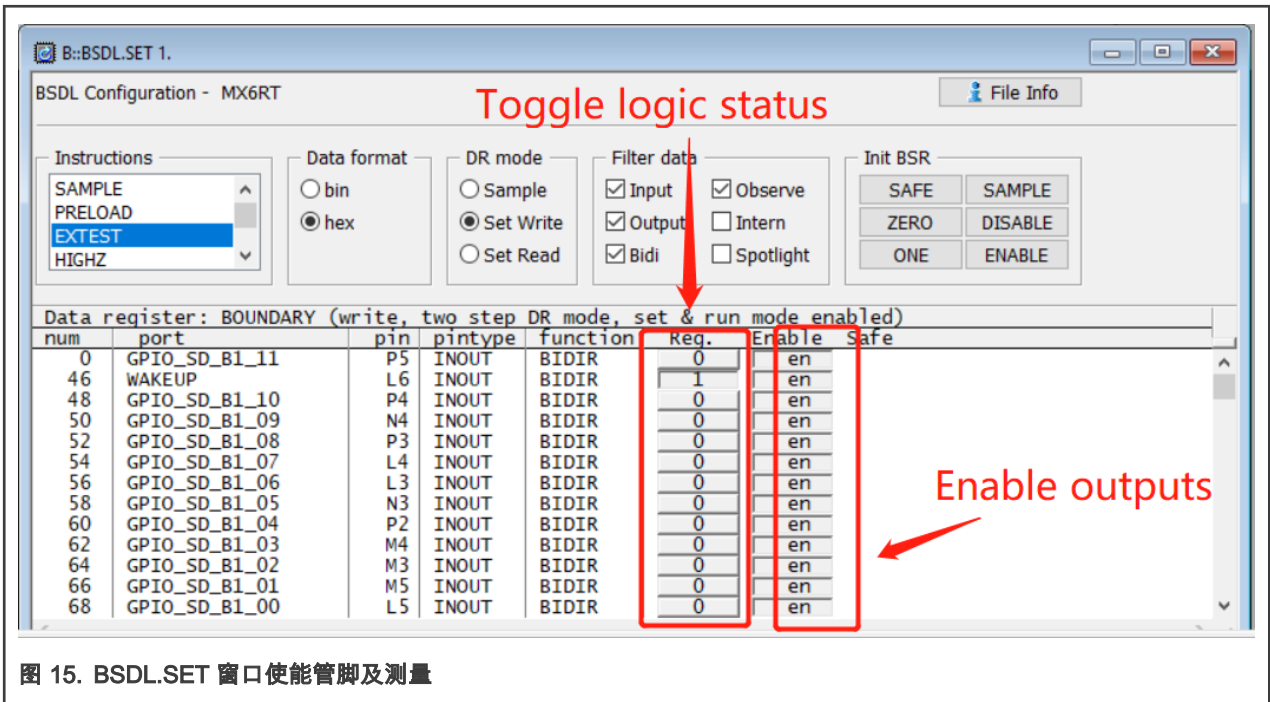


图 15. BSDL.SET 窗口使能管脚及测量

下面以 **GPIO\_AD\_B0\_14** 为例进行说明，原理图中的信号名称为 **CAN2\_TX**，它连接了 EVK 板上 RT1064 芯片 U1 的管脚 H14 (如 图 16 所示) 和 CAN BUS 芯片 U12 的管脚 1 (如 图 17 所示)。当 **Reg.** 中设置为 0 时，使用万用表测量上面两个管脚的对应电平都为 0V；当 **Reg.** 中设置为 1 时，使用万用表测量上述两个管脚的对应电平都为 3.3V。

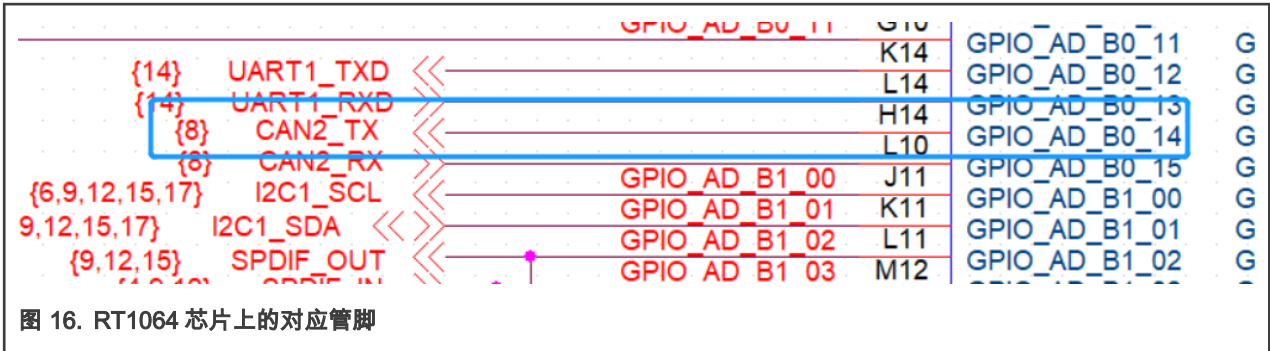


图 16. RT1064 芯片上的对应管脚

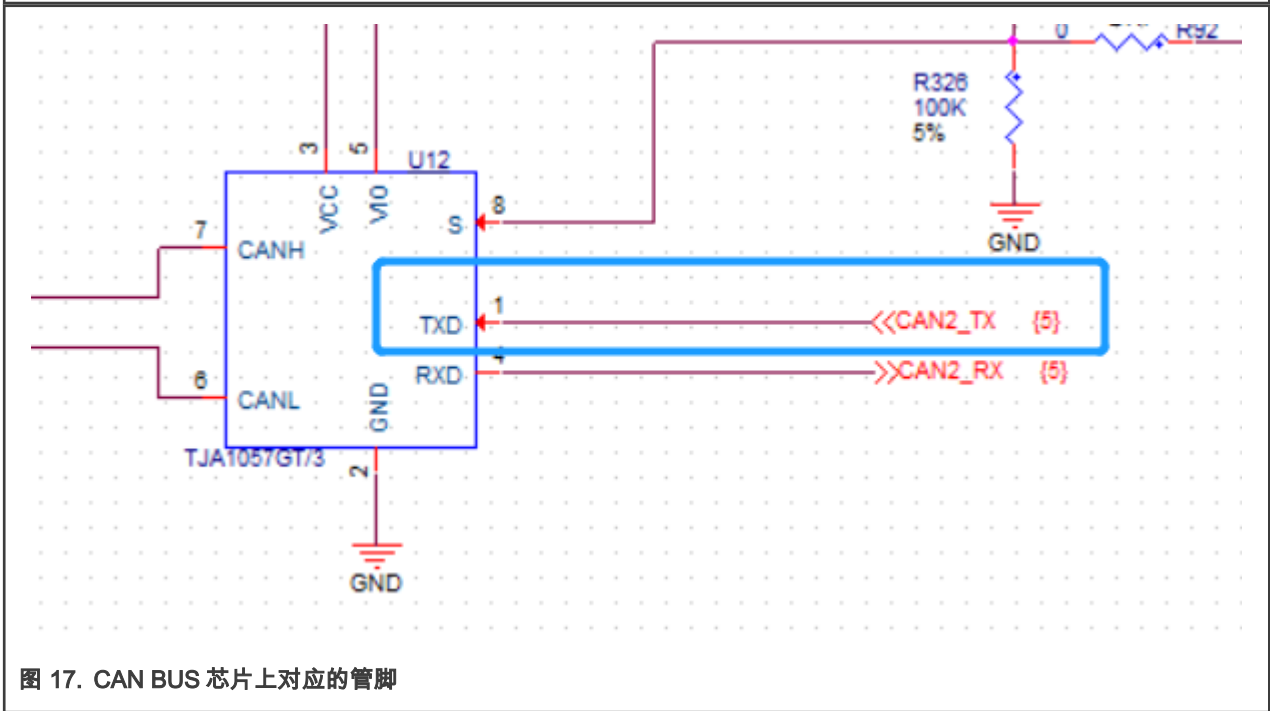


图 17. CAN BUS 芯片上对应的管脚

## 5 i.MX RT 系列其他验证板介绍

对于 RT 系列其他的 EVK 验证板，请参考以下的处理方式进行 Boundary Scan 测试：

- RT1010-EVK 验证板

1. 通过烧录 eFuse 将调试模式更改为 JTAG 模式。
2. 检查 BSDL 文件确认“COMPLIANCE\_PATTERN”中管脚的状态如下所示：

```
(TEST_MODE, GPIO_AD_11, POR_B) (011)
```

和 RT1060-EVK 类似，只需要把 JTAG\_MOD 这个管脚对地下拉电阻 (R303) 删除，并且连接到 DCDC\_3V3 电源即可。

3. 保证独立的 JTAG 链路，避免其他信号的电平干扰，断开连接器 J61，J62，J63，J64。
  4. 最后应用 Lauterbach 调试器进行测试，具体步骤请参考上面的介绍。
- RT1020 包含 LQFP144 和 LQFP100 两种封装形式，对应两种验证板，请参考下面对测试步骤的分别介绍：

- LQFP144 验证板

1. 通过烧录 eFuse 将调试模式更改为 JTAG 模式。

2. 检查 BSDL 文件确认“COMPLIANCE\_PATTERN”中管脚的状态如下所示：

```
(TEST_MODE, GPIO_AD_B0_02, POR_B) (011)
```

和 RT1060-EVK 类似，只需要把 JTAG\_MOD 这个管脚对地下拉电阻（R57）删除，并且连接到 DCDC\_3V3 电源即可。

3. 由于 PMIC\_ON\_REQ 信号会对 Boundary Scan 测试产生影响，需要删除电阻 R41，并且焊接电阻 R39（100 K）。
4. 保证独立的 JTAG 链路，避免其他信号的电平干扰，断开连接器 J47，J48，J49，J50。同时需要删除复用电阻 R116 来保证 JTAG\_TDO 独立。
5. 最后应用 Lauterbach 调试器进行测试，具体步骤请参考上面的介绍。

#### — LQFP100 验证板

1. 通过烧录 eFuse 将调试模式更改为 JTAG 模式。
2. 检查 BSDL 文件确认“COMPLIANCE\_PATTERN”中管脚的状态如下所示：

```
(TEST_MODE, GPIO_AD_B0_02, POR_B) (011)
```

和 RT1060-EVK 类似，只需要把 JTAG\_MOD 这个管脚对地下拉电阻（R41）删除，并且连接到 DCDC\_3V3 电源即可。

3. 由于 PMIC\_ON\_REQ 信号会对 Boundary Scan 测试产生影响，需要删除电阻 R21，并且焊接电阻 R16（100 K）。
4. 保证独立的 JTAG 链路，避免其他信号的电平干扰，断开连接器 J35，J36，J37，J38。
5. 最后应用 Lauterbach 调试器进行测试，具体步骤请参考上面的介绍。

#### • RT1170 验证板

1. 不需要烧录 eFuse，可以直接进行 Boundary Scan 测试。
2. 检查 BSDL 文件确认“COMPLIANCE\_PATTERN”中管脚的状态如下所示：

```
(TEST_MODE, GPIO_LPSR_13, POR_B, ONOFF) (0011)
```

和 RT1060-EVK 不同，保持 JTAG\_MOD 这个管脚对地下拉电阻（R403）不变。

3. 由于 PMIC\_ON\_REQ 信号会对 Boundary Scan 测试产生影响，需要删除电阻 R266，并且焊接电阻 R421（100 K）。
4. 保证独立的 JTAG 链路，避免其他信号的电平干扰，断开连接器 J6，J7，J8，J9。同时需要删除复用电阻 R187，R208，R195，R78 来保证 JTAG 链路独立。
5. 最后应用 Lauterbach 调试器进行测试，具体步骤请参考上面的介绍。

## 6 版本历史

Table 2. 版本历史

版本号	日期	描述
0	June, 2020	首次发布
1	March, 2021	添加 <a href="#">i.MX RT 系列其他验证板介绍</a>

## How To Reach Us

### Home Page:

[nxp.com](http://nxp.com)

### Web Support:

[nxp.com/support](http://nxp.com/support)

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: [nxp.com/SalesTermsandConditions](http://nxp.com/SalesTermsandConditions).

**Right to make changes** - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

**Security** — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at [PSIRT@nxp.com](mailto:PSIRT@nxp.com)) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, Altivec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro,  $\mu$ Vision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2020-2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: [salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

Date of release: March 2, 2021

Document identifier: AN12919

