S32G3PB

S32G3 产品简介

基于 Arm Cortex-M7 和 Cortex-A53 的高性能汽车网络处理器

第 2 版 — 2021 年 10 月

1 概述

S32G3 是个高性能车载网络处理器族。它可以实现 CAN、LIN、FlexRay、高速以太网的互联。它还将功能安全与 MPU 核相结合，并包括了高阶硬件安全引擎。S32G3 系列芯片既和 S32G2 系列芯片针脚兼容，又提供了超过 2 倍的性能和超过 2 倍的 SRAM。

表 1. S32G3 系列的主要增强功能

功能	增强
计算性能	应用性能提升高达 2.6 倍（将 A53 数量翻倍，每个核主频提升 1.3 倍）
实时内存	将 SRAM 从 6 MB / 8 MB 增加到 15 MB / 20 MB
实时性能	增加额外的一对 Cortex-M7 锁步核
以太网接口带宽	将两个 SGMII 接口的速度从 1 Gbps 提高到 2.5 Gbps
以太网数据包路由	将性能指标从 2Gbps@64B 提升到 3 Gbps@64B

目录

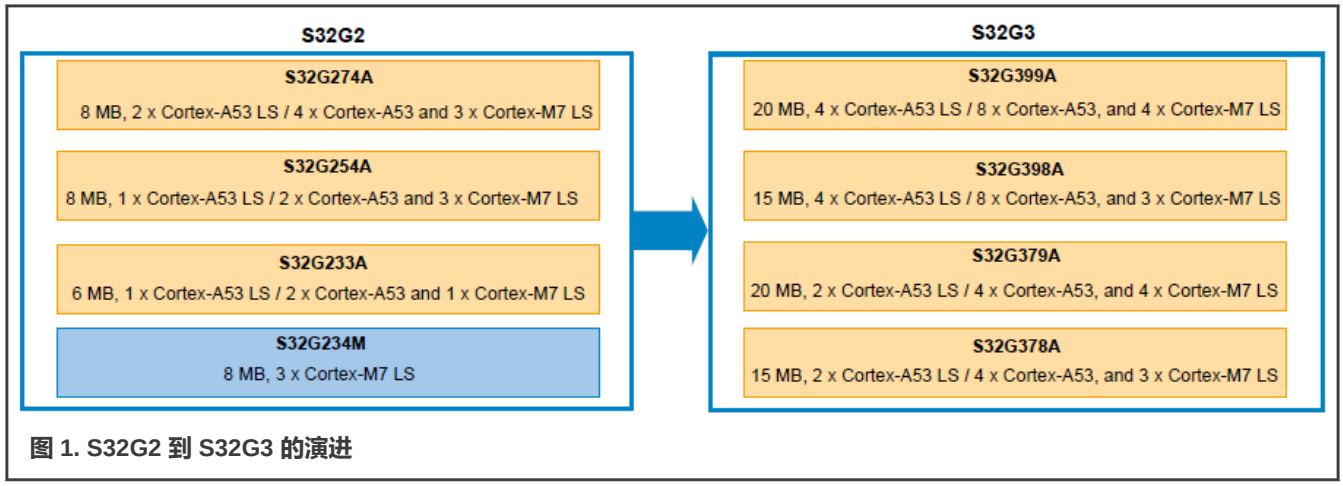

图 1. S32G2 到 S32G3 的演进

S32G3 系列包括以下几种型号：

- S32G399A
- S32G398A
- S32G379A
- S32G378A

本文档主要介绍超集 S32G399A 所提供的功能。S32G3 系列的差异，请参见功能比较（Feature comparison）。

2 应用

该芯片结合了 ASIL D 功能安全、硬件安全引擎、高性能实时和应用处理以及网络加速，面向的应用包括：

- 面向服务的网关和域控制器
- 用作 ADAS 和自动驾驶的安全处理器
- 高性能的中央计算节点
- 作为 FOTA master 控制加密镜像的下载，以及对网络内的 ECUs 的分发
- 安全服务和密钥管理
- 智能天线

3 框图

下图是 S32G3 系列中的超集芯片 S32G399A 的框图。

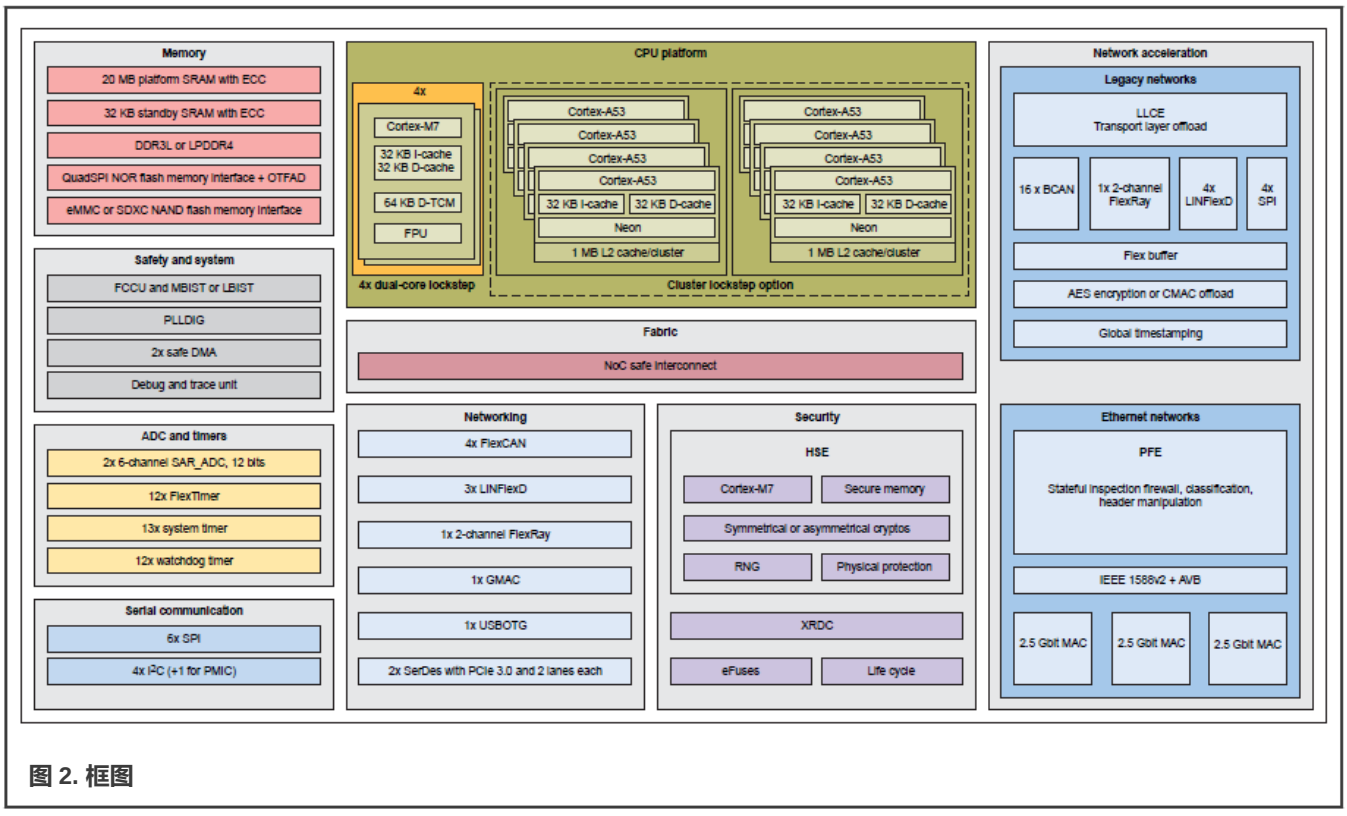

图 2. 框图

4 功能对比

下表比较了 S32G3 系列芯片的功能。

表 2. S32G3 功能列表和支持的功能

功能	S32G399A	S32G398A	S32G379A	S32G378A
计算和总线模块				
应用核	4 x Cortex-A53 LS (8 x Cortex-A53)	4 x Cortex-A53 LS (8 x Cortex-A53)	2 x Cortex-A53 LS (4 x Cortex-A53)[1]	2 x Cortex-A53 LS (4 x Cortex-A53)[1]
实时核	4 x Cortex-M7 LS	3 x Cortex-M7 LS[2]	4 x Cortex-M7 LS	3 x Cortex-M7 LS[2]
Cortex-A53				
L1 高速缓存	每个 Cortex-A53 核有 32KB 指令缓存和 32KB 数据缓存			
L2 高速缓存	每个集群 1MB			
缓存一致性互连	支持			
中断控制器	GIC-500			
最大频率	高达 1.3 GHz			
功能安全	可配置的 ASIL D 集群锁步和两个 ASIL B 独立集群			
Cortex-M7				
L1 高速缓存	每个 Cortex-M7 有 32 KB 指令缓存和 32 KB 数据缓存			
缓存一致性互连	不支持			
中断控制器	4 x NVIC			
最大频率	400 MHz			
功能安全	双核锁步			
DTCM	每个 Cortex-M7 有 64 KB			
系统模块				
DMA	2 个安全 eDMA（支持锁步），每个安全 eDMA 有 32 个通道			
DMAMUX	每个 DMA 有 128 个输入			
调试：运行控制	Arm CoreSight JTAG (IEEE 1149.1)			
调试：跟踪	4 通道 Aurora			
SWT	12			
STM	13			
内存模块				
SRAM	20 MB	15 MB[3]	20 MB	15 MB[3]
RAM 端口	16 个端口（四组，每组四个端口），每组端口在 64 字节处交错			
DRAM	DDR3L 和 LPDDR4 - 高达 4GB			
DRAM PHY	x32			
QuadSPI 实例	1			

表格续下页.....

表 2. S32G3 功能列表和支持的功能（续）

功能	S32G399A	S32G398A	S32G379A	S32G378A
uSDHC 实例	1			
熔丝	8 KB bank			
带有 ECC 的待机 SRAM	32 KB			
安全模块				
安全子系统	HSE_H			
资源隔离	支持 16 个域的 XRDC			
Arm TrustZone	支持			
生命周期	支持			
安全调试	支持			
通信接口模块				
通讯加速	LLCE			
具有灵活数据速率的 CAN	LLCE 中有 16 个，LLCE 之外有 4 个			
FlexRay 2.1（双通道）实例	LLCE 中有 1 个，LLCE 之外有 1 个			
LINFlexD 实例	LLCE 中有 4 个，LLCE 之外有 3 个			
以太网加速	PFE			
以太网 MAC	PFE 中有 3 个，在 PFE 之外有 1 个			
以太网接口	MII, RMII, RGMII, SGMII			
PCIe 控制器	有 2 个第三代控制器（X1，X2 模式）			
SerDes	4 通道（可配置 PCIe 和 SGMII）			
USBOTG	1 个，支持 USB2.0 和 ULPI 接口			
I^2C	4 个+ 1 个用于电源管理集成电路（PMIC）			
SPI	4 个（在 LLCE 中，可通过固件使能）和 6 个（在 LLCE 外）			
CRC	1			
通用模块				
PIT	2			
SAR_ADC	2 个，每个支持 12 位和 6 个通道			
FTM	2 个，每个支持 6 个通道			
CTU	1			
SEMA42	1			

表格续下页.....

表 2. S32G3 功能列表和支持的功能（续）

功能	S32G399A	S32G398A	S32G379A	S32G378A
时钟、电源和重启模块				
FIRC 频率	48 MHz			
SIRC 频率	32 KHz			
FXOSC 频率	20-40 MHz			
PLLDIG 实例	5			
低功耗模式	支持			
RTC	1 个带 API 功能			
唤醒	24 个唤醒源			
其他				
封装规格和尺寸	525 倒装芯片塑料球栅阵列；19 mm x 19mm x 0.8 mm			

1. Cortex-A53_2 和 Cortex-A53_3 已经在 cluster 0 和 cluster 1 中被削减了。
2. Cortex-M7_2 已经被削减了。详见《S32G3 参考手册》中的系统 RAM 控制器一章。
3. SRAM（12、13、14、15），即与 Cortex-M7_2 相关的最高地址范围（0x34F0_0000-0x353F_FFFF）已经失效。请参见《S32G3 参考手册》中的系统 RAM 控制器一章，了解整个系列的内部 RAM 支持的详细信息。

5 工艺技术和功耗设计

S32G3 系列基于以下工艺技术和通用的功耗设计概念：

- 采用 16 纳米 FinFET（16FFC）工艺技术
- 低功耗设计
  - 核和外设的动态时钟门控
  - 待机电源门控模式，它允许从输入引脚的一个子集，一个定时器或两者唤醒（RAM 有保留的 32KB）
  - 软件控制的外设时钟门控

6 工作参数

S32G3 处理器工作参数如下：

- 0.8V 数字核输入电源电压
- 1.8V 和 3.3V 数字 I/O 电压
- 1.8V PCIe 数字 I/O 电压
- 用于 LPDDR4/ DDR3L 的 1.1V/1.35V DDR 焊点和一个 1.8V 的预驱动电源
- 1.8VA/D 转换器参考和模拟输入引脚
- 可选择的输出边缘速率控制（慢/中/快）
- EMI 减少技术的设计
  - 锁相环
  - 核和系统时钟调频

  - 片上旁路电容
  - 可软件选择的输出边缘速率控制
  - 在选定的输入端的施密特触发
- 可配置的引脚
  - 在所有 SIUL 控制的引脚上，可选择上拉、下拉或不拉
  - 可选择漏极开路
- 可配置为 GPIO 的未使用引脚
- 兼容与恩智浦 VR5510 PMIC + PF53 的核供电

7 工作条件和环境限制

本部分描述了 S32G3 芯片可以完全运行的工作条件和环境限制。

- 完全静态运行：0 MHz 到 1.3 GHz，支持频率调制（CORE_CLK）
- 数字 I/O 输入电源电压（对于 pad 段，支持 1.8V 和 3.3V 额定电源电压）：1.68 V - 1.92 V/3.08 V - 3.52 V（最小公差）
- 数字 I/O 输入电源电压（对于 pad 段，只支持 1.8V 额定电源电压）：1.68 V - 1.92 V（最小公差）
- 数字核输入电源电压：0.75 V - 0.87 V
- 模数转换器的参考和模拟输入引脚：1.68 V - 1.92 V
  - A/D 参考引脚同时为转换器参考和内部开关提供参考
- 结点温度：-40°C 至 +125°C
- 粒子辐射
  - α 粒子
    - α 粒子通量：< 0.001 alpha/cm^2/h
      - 低 α 模具复合材料（如适用）要求
      - 低凸点（bump）通量要求
  - 高能宇宙中子
    - 中子通量：< 14 中子/cm^2/h（从 10 到 800 MeV），符合 JESD-89 标准（纽约州纽约市海平面的正常背景中子通量）。
- 任务概要
  - 寿命：10 年，10%的工作时间，不工作时芯片电源关闭（相当于 8760 小时的有效工作时间）
  - 寿命期间的加权结点温度：105°C
  - 运行时需要支持以下两点：
    - 最高结点温度：125°C
    - 最低结点温度：-40°C
- 静电放电（ESD）
  - 250V CDM AEC Q100-011 Level C3
  - 2kV HBM AEC Q100-002 Level H2

8 模块功能

8.1 计算和总线模块

8.1.1 Cortex-A53 核复合体

- 两个集群，每个集群都有双核或四核 Cortex-A53 处理器，最高运行频率为 1.3 GHz，并有 1 个 snoop 控制单元（SCU，Snoop Control Unit），它用来确保集群内的一致性。这两个集群通过一个缓存一致互连来连接。
- 集群间可选配置的锁步能力（第二个集群与第一个集群锁步）
- 实现 Armv8-A AArch64 and AArch32 ISAs
- AArch64 执行状态：
  - 包含 31 个 64 位的通用寄存器，带有一个 64 位的程序计数器（PC，Program Counter）、栈指针（SP，Stack Pointer）和异常链接寄存器（ELRs，Exception Link Registers）。
  - 提供 1 个单一的指令集，即 A64
  - 定义了 Armv8 异常模型，有 4 个异常级别，EL0-EL3，提供了 1 个执行权限层级。
  - 包括在 64 位寄存器中保存的虚拟地址（Vas，Virtual Addresses）。Cortex-A53 VMSA 实现将这些虚拟地址映射到 40 位物理地址（PA，Physical Address）。
  - 定义了一些保存处理器状态的 PSTATE 元素。A64 指令集包括直接对各种 PSTATE 元素进行操作的指令。
  - 用一个后缀命名每个系统寄存器，该后缀表示可以访问该寄存器的最低异常级别
- AArch32 执行状态。该执行状态是包含安全扩展和虚拟化扩展的 Armv7-A 架构概要文件的实现是向后兼容的：
  - 包含 13 个 32 位通用寄存器，一个 32 位程序计数器，栈指针和链接寄存器（LR，Link Register）。其中一些寄存器有多组实例，以便在不同的处理器模式下使用。
  - 提供 A32 和 T32 两个指令集。
  - 提供一个异常模型，将 Armv7 的异常模型映射到 Armv8 的异常模型和异常级别。对于被带到使用 AArch32 的异常级别的异常，这支持使用处理器模式的 Armv7 异常模型。
  - 具有 32 位的虚拟地址（VA）。VMSA 映射这些虚拟地址为高达 40 位物理地址。
  - 将处理器状态收集到当前处理器状态寄存器（CPSR，Current Processor State Register）中。
- 32 KB/32 KB L1 指令和数据高速缓存
- 每个集群有 1 MB 的 L2 高速缓存
- 8 级管道
- 2.8-3.2 DMIPS/MHz（取决于编译器选项）
- 每个核的私有定时器
- Cortex-A53 Neon 媒体处理引擎（MPE，Media Processing Engine）协处理器
- 用于完全符合 IEEE 754 标准的浮点计算的矢量浮点第 3 版（VFPv3）架构扩展
- Cortex-A53 核实现了具有 GICv4 体系结构概要文件的 Arm 通用中断控制器（GIC，Generic Interrupt Controller）。
- 每个集群有一个 128 位 AXI 主接口
- 为集群内的 SRAM（L1 和 L2 高速缓存和其他内存）提供奇偶校验或 ECC 保护

8.1.2 通用中断控制器（GIC）

CoreLink™ GIC-500 通用中断控制器用于与 Cortex-A53 集群一起工作，处理中断。它实现了 Arm® 通用中断控制器体系结构规范 3.0 版，以实现对 Armv8 核的支持。

通过 GIC-500 的以下软件可配置设置，中断可以是：

- 启用或禁用
- 被分配到两组中的一组，第 0 组或第 1 组
- 优先级
- 在多处理器实现中向不同的处理器发送信号
- 电平敏感或边缘触发

GIC-500 的实现：

- GIC 安全扩展支持：
  - 使用第 0 组中断为安全中断，使用第 1 组中断为非安全中断
- 为管理虚拟中断提供硬件支持的 GIC 虚拟化扩展，The GIC-500 以下中断类型:
- 16 个软件产生的中断（SGIs）
- 每个处理器的私有外设中断
- 可配置的一定量的共享外设中断（SPIs）
- 通过向 AXI4 从端口写入信息而产生的基于消息的中断
- 为基于消息的中断提供 ID 转换和内核迁移的中断转换服务

8.1.3 高速缓存一致性互连（CCI）

CCI 通过对系统资源的非 CPU 主访问来维护 Cortex-A53 集群的一致性。

- 支持完全一致性的发起者：Arm Cortex-A53 CPUs
- 支持 I/O 完全一致性的发起者：PCIe，以太网

8.1.4 Arm Cortex-M7

Cortex-M7 处理器的主要功能包括：

- 最高可达 400 MHz
- 顺序发射，动态分支预测的超标量管道。
- DSP 扩展
- FPU
- 在 Arm®v7-M 体系结构参考手册中定义的 Armv7-M Thumb 指令集
- 具有奇偶错误和 ECC 保护的两路组相连 32 KB/32 KB L1 指令和数据高速缓存
- 在 TCM 下部和上部之间平均分配的 64 KB 的 DTCM
- 提供 TCM 对其他总线主控器访问的后门系统总线端口
- 可配置的嵌套矢量中断控制器（NVIC）
- 具有 16 个域的内存保护单元
- 高级的可配置调试和跟踪组件
- 嵌入式跟踪微单元（ETM）

- 包括架构时钟门控、睡眠模式和唤醒中断控制器（WIC）的低功耗功能。
- 具有适合 ISO 26262 的输出比较的延迟锁步操作

8.1.5 嵌套矢量中断控制器（NVIC）

集成的 NVIC 支持和管理低延迟的中断处理：

- 用于管理中断来源、中断行为和中断路由到 Cortex-M7 的寄存器
- 启用、禁用和产生来自外设中断源的处理器中断
- 产生软件中断
- 屏蔽中断和设置中断优先级

8.1.6 安全增强型 DMA 控制器（eDMA3）

eDMA3 控制器是第三代模块，它通过 32 个可编程通道以主机处理器的最小干预执行复杂的数据搬移。硬件微架构包括 DMA 引擎，DMA 引擎执行源地址计算、目标地址计算和实际的数据搬移操作，还包括基于 SRAM 的内存，包含用于通道的 TCDs。这个实现用来最小化整个模块的大小：

eDMA3 模块具有以下功能：

- 32 个通道支持独立的 8 位、16 位或 32 位单值或块传输
- 支持大小可变的队列和循环队列
- 源地址和目的地址寄存器在执行后增加或保持不变的独立配置
- 外设、CPU 或 eDMA 通道请求启动每次传输
- 每个 eDMA 通道在完成单个值或块传输后，可选择的向 CPU 发送一个中断请求
- 可以在系统内存和外设寄存器（如串行接口、模数转换器、计时器等）之间进行 DMA 传输
- 可编程 DMA 通道多路复用器允许将任何 DMA 源分配给任何可用的 DMA 通道。
- 通过软件中止 eDMA 操作
- 带有 ECC 保护和故障注入的缓冲区内存
- 用于已传输的数据的内置 CRC 生成
- 虚拟化支持（以每通道 4KB 页面组织的通道编程模型）

两个相同的 eDMA3 块在延迟锁步配置中的操作与 RCCU 进行比较，并向 FCCU 报告任何差异，以便对故障作出适当的系统反应。

8.1.7 DMA 通道多路复用器（DMAMUX）

该芯片每个具有不同的触发输入的 eDMA3 对有两个 DMAMUX 实例。

每个实例具有以下主要功能：

- 对每个 DMA 外设槽，可独立选择的 DMA 通道路由器（输入）
  - 8 个来自 PIT（4×PIT_0，4×PIT_1）的周期性 DMA 触发
  - 总共 32 个 DMA 槽（DMAMUX 输出）
- 每个通道路由器被分配给以下源之一：
  - 外设 DMA 源之一
  - 始终使能的源

8.1.8 调试

调试系统包括以下端口：

- 支持 CoreSight 调试基础设施
- 最多有五个引脚的 JTAG（IEEE 1149.1）（TDI、TDO、TMS、TCK 和 JCOMP{TRST}）
- 包括加速器（通过 APB 接口）在内的，所有计算引擎的调试
  - 支持断点和运行控制功能
- 与安全有关的功能：
  - 基于用于调试和测试的 eFuse 配置，从无 JTAG 到完全公开的一系列安全级别
  - 支持安全和非安全的侵入式/非侵入式调试，允许更加细致的调试访问
  - 支持公开访问部分返回的现场，从而可以进行调试和测试，以便进行故障分析
- 调试能力：
  - 访问核和映射的内存资源检查和修改
  - 支持监控模式和停止模式
  - 断点/观察点控制
    - Cortex-A53 核支持六个断点和四个观察点
  - 系统分析和性能监控
- 支持以下跟踪功能：
  - 所有 Cortex-A53 CPUs 的指令跟踪
  - 所有 Cortex-A53 CPUs 的仪表跟踪
  - 所有 Cortex-M7 CPUs 的指令跟踪
  - 序列 CPUs 的指令跟踪
  - AHB 外设的数据跟踪
  - AHB 总线主控器的数据跟踪
  - 外部 DRAM 流量的数据跟踪（带地址过滤）
  - 内部 SRAM 流量的数据跟踪（带地址过滤）
  - 单核和多核跟踪生成
  - 全局时间戳
- 支持 Arm 实时跟踪接口：Aurora 跟踪端口
  - 用于 Aurora 跟踪端口：4 通道，最高 2.5 GHz
- 支持跟踪到内部内存
- 支持交叉触发
- 在 SRAMC 控制器和 DDR 控制器数据路径中的观察点：
  - 用于监视地址和主 ID 的比较器
  - 支持将比较器配对以创建地址和主 ID 范围
  - 可为任何或所有这些访问进行配置：读访问、写访问和执行访问
  - 为观察点命中的断点生成

8.1.9 软件看门狗定时器（SWT）

SWT 具有以下功能：

- 32 位超时寄存器设置超时时间
- 定时器运行在 48 MHz 的内部 RC-振荡器时钟上，以提高功能安全性
- 可编程选择窗口模式或常规服务
- 可编程选择初始超时的重启或中断
- 主访问保护
- 硬配置和软配置锁定位
- 重启配置输入允许使能没有重置的定时器

8.1.10 系统定时器模块（STM）

STM 实现有以下功能：

- 带有 8 位预分频器的 32 位上升计数器
- 4 个 32 位比较通道
- 每个通道有独立中断源
- 可以在调试模式下停止计数器

8.2 内存模块

8.2.1 SRAM 控制器（SRAMC）

SRAMC 是总线系统和系统 RAM 阵列之间的接口。该芯片包含多个 SRAMC 控制器，这些控制器可以实现对整个 SRAM 区域的交织访问。

- 16 个 SRAM 控制器（4 组 4 个 SRAM 控制器）在每组端口的 64 字节交织，每个控制器支持 1.25 MB 的 RAM 阵列（总共 20 MB）
- 以 64 字节为单位进行交织，与 128 位宽的高速缓存线访问对齐
- 128 位数据，非阻塞，与系统互连的接口，支持多个未完成事务
- 64 位的 ECC 支持

8.2.2 DDR 内存控制器（DDRCTRL）

DDR 子系统包含一个 32 位宽的 DDR 内存控制器，以连接到芯片外的 DDR 内存。

该 DDR 子系统支持以下功能：

- LPDDR4 和 DDR3L 类型
- 支持 16 位和 32 位 DRAM 模块，允许多达两级
- 支持每个 DDR 内存控制器并行连接一个或两个 DRAM 器件
- DDR3L 的 DDR 内存接口上的时钟频率最高可达 800 MHz（DDR-1600：1600MHz 双倍数据速率）
- LPDDR4 的 DDR 内存接口的时钟频率高达 1600 MHz（3200 MHz 双倍数据速率）
- DDR 内存控制器的可寻址内存空间高达 32 位。
- 调度器和重排队列，以优化读和写的顺序，提高利用率（读的乱序执行）
- 服务质量特点是加快关键事务处理

- 内联 ECC 方案保护存储在 DRAM 中的数据（单比特位纠错，双比特位检错），经过优化以减少带宽冲突
- 区域支持有七个可配置的区域的内联 ECC

8.2.3 四路串行外设接口（QuadSPI）

QuadSPI 是一个用于代码存储、数据存储和代码执行的外部四路串行闪存的接口。

- 支持工业标准的单、双、四、八位串行闪存
- 支持 1.8 V 和 3.3 V 接口
- 支持高性能的 DDR 串行闪存
- 支持下列模式：
  - 1 × 4 位；1×1 位，在 DDR 模式下时钟高达 80 MHz，在 SDR 模式下时钟高达 108 MHz
  - 八位 I/O 串行闪存，支持 data strobe：1 × 8 位
  - 八位 I/O 在 DDR 模式下具有时钟 200MHz 和 8 位数据
  - 八位 I/O 在 SDR 模式下，高达时钟 120 MHz 和 8 位数据
- 对 1.8V HyperFlash 设备的差分时钟支持
- 控制器体系结构实现对外部闪存的访问，由此产生的峰值读取带宽为 400 Mbytes/s
- 就地执行（XiP）
- 灵活的缓冲方案
  - 多主机，优先访问
- 嵌入式即时 AES 解密（OTFAD）模块在解密从外部闪存中获取的代码和数据时不会增加任何延迟周期
  - 支持 CTR-AES128 解密
  - 外部存储器访问完全卸载到 QuadSPI 和 OTFAD。例如，一个核从映射到内存的 QuadSPI 地址位置读取数据，QuadSPI 模块通过 SPI 从外部 NOR 闪存中获取数据，并解密数据流，将明文数据返回给核。
- 支持闪存接口的奇偶性校验

8.2.4 超级安全数字主机控制器（uSDHC）

uSDHC 支持以下类型的卡：

- 符合 SD 主控制器标准规范的 3.1 版
- 兼容 MMC System Specification version 4.2/4.3/4.4/4.41/4.5/5.0/5.1
- SD 内存卡规范 3.0 版，支持扩展容量的 SD 内存卡
- SDIO 卡规范 3.0 版
- 设计来与这些卡配合使用：SD Memory 、miniSD Memory、SDIO, miniSDIO、SD Combo、MMC、MMC-plus 和 RS-MMC
- 卡总线时钟频率高达 200 MHz，支持 HS200/HS400/HS400 Enhanced Strobe
- 支持 1 位/4 位 SD 和 SDIO 模式，1 位/4 位/8 位 MMC 模式
  - 使用 4 条并行数据线的 SDIO 卡
    - 在 SDR 模式下：可高达 832 Mbps 的数据传输
    - 在 DDR 模式下：可高达 400 Mbps 的数据传输
  - 使用 4 条并行数据线的 SDXC 卡

    - 在 SDR 模式下：可高达 832 Mbps 的数据传输
    - 在 DDR 模式下：可高达 400 Mbps 的数据传输
  - 使用 8 条并行数据线的 MMC 卡
    - 在 SDR 模式下：可高达 1600 Mbps 的数据传输
    - 在 DDR 模式下：可高达 3200 Mbps 的数据传输
- 支持单块和多块的读和写
- 支持块大小为 1-4096 字节
- 支持写操作的写保护开关
- 支持同步和异步中止
- 支持在数据传输过程中，在块间隙处暂停
- SDIO 读等待和暂停恢复操作
- 用于多块传输的自动 CMD12
- 在数据传输过程中，主机可以启动非数据传输命令
- 允许卡在 1 位和 4 位 SDIO 模式下中断主机，也支持中断周期
- 包含用于读和写数据的完全可配置的 256×32 位 FIFO
- 内部和外部的 DMA 能力
- 通过配置供应商特定的寄存器字段进行电压选择
- 高级 DMA 执行链接内存访问

8.3 安全和启动模块

8.3.1 硬件安全引擎（HSE_H）

HSE_H 是实现芯片安全功能的子系统。针对当前的安全规范（例如，SHE、HSM 和 EVITA Full），它为主机 CPUs 和网络加速器提供加解密服务。HSE_H 负责在启动过程中建立了芯片上的信任根。

HSE_H 具有以下特点：

- 使用非对称或对称密钥，保证客户代码的安全启动
- 高性能的对称和非对称加速器
- 硬件支持的加解密功能：
  - AES（最多 256）
  - SHA-1、SHA-2 和 SHA-3
  - 广泛支持椭圆曲线（ECC）
  - RSA（最多 4096）
- Arm Cortex-M7 CPU，运行频率为 400 MHz
- 高达 830 KB 的安全 RAM
- TRNG
- PRNG
- 边信道物理攻击的保护
- 记录干扰攻击的次数
- 支持固件空中升级（FOTA）

8.3.2 扩展资源域控制器（XRDC）

XRDC 为访问控制、系统内存保护和外设隔离提供了一个集成、可扩展的架构框架。它允许你分配芯片资源，包括处理器核、非核总线主控器、内存区域和从外设到处理域，以支持执行健壮的操作环境。首先，每个总线主控资源都分配给一个域标识符（domain ID）。其次，各个域的访问控制策略被编程写入不同的内存区域描述符和外设访问控制寄存器。最后，整个芯片的所有访问都被并行监控，以确定每一个访问的合法性。如果来自一个给定域的访问有足够的访问权限，它被允许继续。否则，访问将被中止，并触发错误通知。

XRDC 定义了一个支持四级模式的访问控制方案，将传统的特权模式和用户模式结合起来，用户模式还可以定义每个内存的安全和非安全属性。分层访问机制实现不同的访问控制策略：

SecurePriv(ileged) > SecureUser > Non-securePriv(ileged) > Non-secureUser。

结合用户/特权和安全/非安全属性，域 ID 与每个系统总线事务相关联，构成了实施 XRDC 访问控制机制的硬件基础。

你可以用硬件信号量来动态地控制对共享内存区域和从外设的访问。如果你为一个给定的地址空间或外设启用了硬件信号量，那么只有当请求域拥有信号量时，才允许向目标地址空间进行写入。这项功能允许根据信号量的所有权动态地修改对特定资源的访问控制策略。

XRDC 的主要功能包括：

- 将芯片资源分配到处理“域”中，资源被分为 4 组：
  - 处理器核、非核总线主控器、内存和外设
  - 每个域都被分配一个唯一的域 ID
  - 域 ID 是一个与每个系统总线事务相关的新属性
  - 也与用户、特权、安全和非安全的属性一起使用
- 对从属目标的访问权，是由内存区域描述符寄存器中以及外设的访问控制寄存器定义的
- 支持共享内存和外设，包括硬件信号量，以动态确定访问权限
- 建立在 4 级分层访问控制模型之上
  - SecurePriv(ileged) > SecureUser > Non-securePriv(ileged) > Non-secureUser
  - 编码为整个 XRDC 使用的 3 位每域访问控制策略（ACP）
  - 某些处理器不支持 Non-securePriv 状态。对于这些核，该模型简化为 3 个状态定义：SecurePriv > SecureUser > Non-secureUser

8.3.3 Arm TrustZone 技术

Cortex-A53 处理器支持 Arm TrustZone 安全扩展。来自处理器的 TrustZone 信号可以和扩展资源域控制器（XRDC）结合使用，以在系统层面上保持资源隔离。在处理器层面上，Arm TrustZone 软件栈是兼容的，可以在安全和不安全的特权状态之间进行提升。在系统层面，XRDC 配置了系统资源隔离。

8.3.4 生命周期

该芯片支持生命周期机制，通过产品开发和生产逐步提高安全性。

- 控制密钥访问、启动配置和调试的级别。

- 支持 4 种生命周期状态：
  - 客户交付
  - OEM 生产
  - 在现场
  - 故障分析
- 生命周期状态只能向前推进到下一个顺序状态。

8.3.5 启动辅助 ROM（BAR）

BAR 是芯片启动过程开始的默认位置。

BAR 具有以下功能：

- 启动过程取决于重启类型、启动配置引脚和 eFuses
- 读取映像向量表和启动数据结构
- 允许从外部闪存下载和解密 AES 加密的映像
- 从外部程序映像中找回设备配置数据（DCD）
- 通过 FlexCAN 或 UART 进行备用的串行启动加载
- 执行映像
- 发起 HSE_H 固件下载，并支持安全启动

BAR 代码的执行从 HSE_H 开始。

可以将客户应用程序代码的执行配置为在 Cortex-M7 或 Cortex-A53 处理器上启动。

8.4 时钟、电源和重启

8.4.1 快速内部 RC 振荡器（FIRC）

该芯片有一个 48 MHz 的 RC 振荡器，具有与以下功能：

- 48 MHz 标称频率
- 电容器修剪位和电阻器修剪位
- 不需要电流源的基于逆变器的比较器
- 工艺修整后的电压和温度变化为±5%
- 如果 PLL 检测到锁丢失或时钟丢失，FIRC 时钟输出作为系统时钟源开始提供服务
- FIRC 在启动时作为默认的系统时钟

8.4.2 慢速内部 RC 振荡器（SIRC）

该芯片支持一个 32 kHz 的 SIRC，用于低功耗（待机）操作。

8.4.3 快速外部晶体振荡器（FXOSC）

FXOSC 具有以下功能：

- 晶体输入模式
- 振荡器的输入频率为 20 MHz、24 MHz 或 40 MHz
- PLL 参考
- 旁路能力

8.4.4 锁相环（PLL）

该芯片有若干个 PLL：

- 1 个 PLL 支持频率调制（可编程）的用于 CPUs 和高速的芯片互连的核 PLL
- 1 个用于 DRAM 接口的 DDR PLL
- 1 个用于包括 FlexCAN 和 FlexRay（非频率调制）的外设的 PERIPH PLL
- 1 个用于 Aurora 调试接口的 AURORA PLL
- 1 个用于数据包转发引擎 的 ACCEL PLL

这些 PLL 具有以下主要功能：

- 操作模式
  - 旁路模式
  - 带有晶体参考的标准 PLL（默认）
  - 带有外部参考的标准 PLL
  - 带有内部 RC 振荡器输入的标准 PLL 模式（例如，在启动过程中运行）
- 具有锁状态的锁监控电路
- 锁丢失检测
- 可选择打开或关闭频率调制功能
- 额外的微小分割时钟域的数字分数合成（DFS）输出

8.4.5 电源管理

电源管理架构包括以下功能：

- 提供所有设备电压的外部 PMIC 接口
- 为所有电源段提供 Go/No-Go 检测器
- 电源模式：
  - 运行
  - 待机
- 进入运行模式的硬件控制
- 进入待机模式的软件控制，以及待机退出的唤醒事件管理
- 软件控制子系统的禁用，以减少运行模式下的功耗
- 支持待机低功耗模式。待机模式具有以下功能：
  - 23 个外部唤醒源
  - 使用内部 32 kHz SIRC 的实时时钟
  - 支持唤醒的自主周期性中断
  - 32KB 预留 RAM

8.4.6 实时时钟/自主周期性中断（RTC-API）

该芯片包含一个 RTC 和一个 API，两者都可以执行 32 位的比较。

- RTC 和 API 定时器都可以产生中断，也可以从待机模式唤醒
- 32 位计数器
- 可从 32 KHz SIRC、48 MHz FIRC 和外部引脚选择时钟源

- 可选 512 个预分频器和可选 32 个预分频器串联在馈送 32 位计数器的时钟路径上
- 32 位计数器，以分辨率为 1 ms，支持时间大于 1.5 月
- 32 位比较值，以分辨率为 1 秒，支持 1 秒到大于 1 小时的中断间隔
  - 32 位比较值，支持 1.0 ms 至 1 秒的唤醒间隔
  - 唤醒逻辑可单独启用，以支持在 RTC 运行时改变比较值
  - 可在所有的操作模式下运行

8.4.7 唤醒单元（WKPU）

WKPU 支持以下功能：

- 不可屏蔽中断支持：
  - 1 个外部 NMI 引脚
  - 故障过滤
  - 对事件活跃（上升或下降）边缘选择控制
- 外部唤醒和中断支持：
  - 23 个外部唤醒或中断引脚
  - 单独的故障过滤器
  - 独立的中断掩码
  - 对事件的单独活跃（上升或下降）边缘选择控制
  - 可配置的来自所有中断源的系统唤醒触发功能
  - 单个唤醒启动模式选择
  - 单个引脚上拉和下拉使能控制

8.5 安全模块

8.5.1 冗余控制和检查器单元（RCCU）

RCCU 检查延迟锁步块的所有输出（地址、数据和控制信号）。它具有以下功能：

- 保证最大可能的诊断覆盖率（检查器的检查）
- 用作检查器来检查 eDMA、Cortex-M7 和 Cortex-A53 输出信号
- 通过重复比较单元，对 ECC 编码信号组进行冗余检查

8.5.2 故障收集和控制单元（FCCU）

FCCU 提供了一个独立的故障报告机制，即使是在 CPU 发生故障的情况下。

FCCU 具有以下功能：

- 硬件检查器结果的冗余收集
- 错误信息的冗余收集和片上关键模块的故障锁存
- 测试结果收集
- 报告芯片状态的 FCCU 状态寄存器
- 用户从芯片内部不同的故障源中选择关键信号
- 可配置和分级的故障控制
  - 内部反应（可通过 SW 编程）

    - 无反应
    - 锁存定入一个寄存器
    - 报警中断或 NMI
    - 请求 RGM（在 RGM 中编程的反应以重置）
  - 外部反应
    - 通过两个可配置的输出引脚来向外部世界报告故障情况
    - 禁用一组通信控制器（例如 FlexRay、CAN 和 Ethernet）
- FCCU 输出监控单元（FOSU）
- 可以由 SW 直接触发 5 个故障输入

8.5.3 热监测单元（TMU）

TMU 是一个温度传感器，关键参数如下：

- 针对功能安全的高温检查
- 标称温度范围从-40°C 到+125°C
- 在+125°C 时的精度为+/-5°C（包括生产测试时的校准精度），在较低温度下的精度为+/-10°C
- 温度传感器的输出可通过数字接口读取或通过片上 ADC 测量，以提供与温度相对应的数字编码
- 用于温度传感器修整的校准表
- 多个部位感知温度

8.5.4 内置自检模块（BIST）

该芯片包括以下对潜在故障的保护：

- 软件触发的自检有：易失性内存（SRAM）和只读存储器（测试模式由 MBIST 编写和检查）以及随机逻辑（由 LBIST 生成和检查的基于扫描链的测试模式）。

8.5.5 软件保障安全（SBSW）

SBSW 具有以下功能：

- 64 个 TMC 实例
- 每个 TMC 都实现了一个比较器，比较事件由 TMC 时间监视器观察，以保证正确的定时行为。
- 带 64 个自动机的 TMWDP 接口。TMWDP 对应用程序事件的正确逻辑和时间序列进行建模和观察。
- 用于驱动 TMWDP 时钟周期的 TMWDP 定时器。
- 1 个控制器汇总 TMWDP 和 TMC 的状态，控制对 TMC 和 TMWDP 配置寄存器的访问，并驱动故障报告到 FCCU。

8.6 通信接口模块

8.6.1 低延迟通信引擎（LLCE）

LLCE 是一个专门用于优化管理 CAN、LIN 和 FlexRay 通信的子系统。LLCE 包括以下功能：

- 16 个 BCAN 通道

- 4 个 LIN 通道
- 1 FlexRay（双通道）
- 4 SPI

LLCE 是一种基于固件的架构。标准的恩智浦 LLCE 固件具有以下功能：

- TX 查表硬件加速
- RX 查表硬件加速
- 为主机接口提供了一个高效的自主导引（fire and forget）接口，通过使能一个非阻塞接口，降低了主机 CPU 的负荷
- 提供所有接口的时间同步，使所有网络都有一个共同的时间基础
- 完全实现经典 CAN 和 CAN FD 协议规范，版本 ISO 11898-1:2015
- 完全实现 FlexRay 通信系统协议规范，版本 2.1 Rev A
- 完全实现 LIN 协议规范，版本 1.3、2.0、2.1 和 2.2

LLCE 是一个基于固件的解决方案，因此可以开发以下高级功能：

- 数据一致性检查
- 数据格式化
- 诊断性镜像
- 本地路由表
- 入侵检测软件
- 使用 HSE 进行安全分流，以确保所有 CAN、LIN 和 FlexRay 帧的安全
- 在尽可能低的层次上启用安全服务
- SPI 扩展端口，以增加额外的接口（例如，SPI-to-QuadLIN）

BCAN、FlexRay 和 LIN 模块的一个子集是在 LLCE 之外实现的（见功能比较）。这些模块是在主外设总线上实现的，没有完全使用 LLCE 所有的功能。下图显示了这一点。

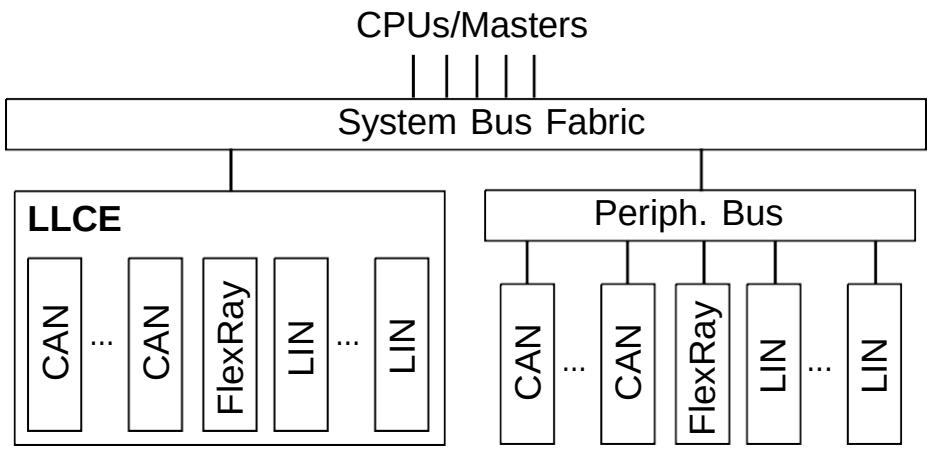

图 3. LLCE 外的 CAN、FlexRay 和 LIN 的子集

8.6.2 以太网包转发引擎（PFE）

该芯片使用 PFE 来提供高性能的以太网接口。

所有端口都支持 MII/RMII 和 RGMII，分别为 10/100 和 100/1G。三个端口都支持 SGMII，速率 100M/1G/2.5G。

PFE 具有以下功能：

- 执行 10/100/1000/2500 Mbps 的 IEEE 802.3 协议（速率取决于 PHY 接口模式）
- 支持从 64 字节到 1522 字节大小的数据包
- L2/3/4 数据包分类和报头修改（例如 NAT）
- 支持在数据流创建后，无需主机 CPU 干预，自主处理属于特定数据流的所有数据包
- DDR 和内部 SRAM 寻址能力
- 与安全协处理器紧密结合互动，以实现 IPSec 分流
- 有能力以最小的数据包大小，路由或桥接总计 3 Gbps 的流量
- 支持进入 QoS
- 支持 TSN 时间同步（802.1AS-Rev）
- 基于固件的架构

PFE 之外还有一个以太网接口 GMAC0，它能支持 TSN 时间感知整形（802.1Qbv）和抢占（802.1Qbu）的功能。可用的接口如下图所示。

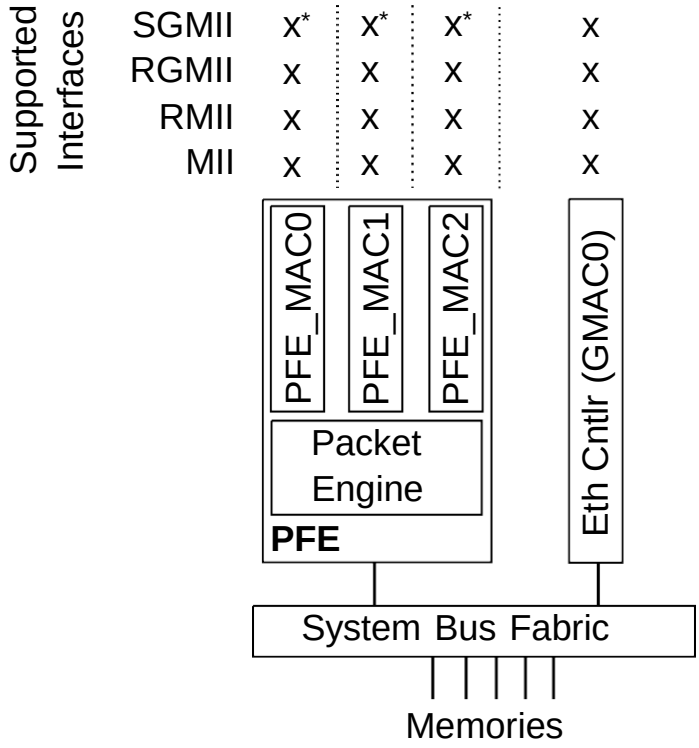

图 4. 以太网接口

8.6.3 PCI Express 第三代（PCIe）

该芯片包含两个带有内置 PHY 的 PCI Express 接口。

- PCI Express RC 模式
- PCI Express EP 模式
- 支持双模式（DM）
- PCI Express 3.0 规范，向后兼容 PCIe 2.1（5 Gbps）和 PCIe 1.1（2.5 Gbps）
- 双通道配置，每条通道高达 8 Gbps。总共 16Gbps。（128/130 位编码/解码后的净带宽为 1.97G Bytes/sec）
- 支持事务层、链路层和物理层
- 集成 PHY 包括发送器、接收器、PLL、数字内核和 ESD
- 每个数据包的最大负载为 256 字节
- AXI 桥模块支持以下功能的：
  - AXI 主和从接口，用于 PCIe inbound 和 outbound 请求
  - 支持多功能（最多 8 个功能）[仅在 EP 模式下]
  - 通过 AXI 桥，所有类型的 PCIe 事物都被支持

— 1 个共享的 AXI 从接口，用于访问本地核的 CDM 寄存器

— 为 AXI 主和从请求提供可编程的缓冲区大小

— 可编程的 MSI 中断控制器，用于检测和终止桥中的 inbound MSI TLP，用于 RC 和 DM

- 内部 DMA 支持分流 CPU 分流
- 支持普通时钟模式，用于 Gen3 的外部参考时钟生成；以及作为选项，用于速度达到 Gen2 内部参考时钟生成
- 每个 PHY 通道可以选择用于以太网模块的 SGMII 模式。可能的配置如下图所示。《S32G3 参考手册》中的 SerDes 章节详细介绍了 SerDes 模式的速度选项。

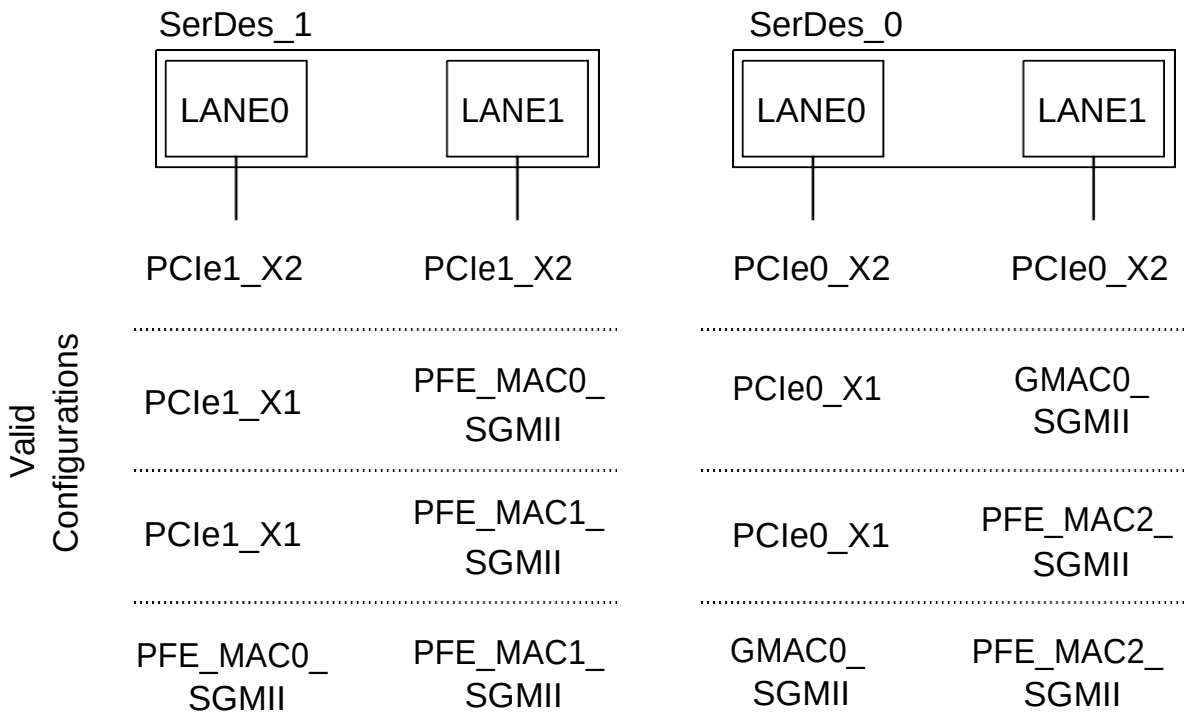

图 5. PCIe 通道配置

8.6.4 通用串行总线 OTG 控制器（USBOTG）

USB 2.0 控制器带有 ULPI 接口，提供点对点的连接，符合 USB 规范，2.0 版。

该芯片支持使用 ULPI 接口的外部 USB 2.0 PHY。

USB 2.0 控制器具有以下功能：

- 符合 USB 规范，2.0 版
- 支持高速（480 Mbps）、全速（12 Mbps）和低速（1.5Mbps）模式
- USB 主机/设备模式（OTG - 双重角色）
- 暂停和低功率工作模式

- 使用 ULPI 接口连接到外部 PHY

8.6.5 内部集成电路（I²C）

- 兼容 I²C 总线标准和 SMBus 版本 2 功能
- 多主机操作
- 可对 256 种不同的串行时钟频率中之一进行软件编程
- 可编程的从地址和故障输入过滤器
- 软件可选择的确认位
- 中断驱动的逐个字节的数据传输
- 自动从主切换到从模式的仲裁丢失中断
- 呼叫地址识别中断
- 起始和停止信号的生成和检测
- 重复起始信号生成
- 确认位的生成和检测
- 总线忙检测
- DMA 支持

8.6.6 串行外设接口（SPI）

SPI 为 MCU 和外部设备（如传感器）之间的通信提供了同步串行接口。

SPI 具有这些特点：

- 全双工、三线同步传输
- 主或从操作
- 可编程的主位率
- 可编程的时钟极性和相位
- 传输结束中断标志
- 可编程的传输波特率
- 可编程从 4 位到 16 位的数据帧
- 32 位 SPI 帧的扩展模式
- 根据封装和引脚多路复用，多达五条片选线
- 6 个时钟和传输属性寄存器
- 片选选通作为片选引脚之一的替代功能，以消除故障
- 发送和接收端缓冲多达五次传输的 FIFO
- 使用 eDMA 可以进行排队操作
- 为了对 SPI 队列的低延迟更新，TX 和 RX FIFO 可以单独禁用
- 为了便于调试，可以看到 TX 和 RX FIFO 可视化
- 在每一帧的基础上，可编程的传输属性
- 修改的 SPI 传输格式，用于与较慢的外围设备通信

8.6.7 循环冗余检验（CRC）

CRC 是一种可配置的多数据流单元，用于计算写入输入寄存器的数据的 CRC

CRC 具有以下功能：

- 3 组寄存器允许 3 个并发的可能以不同的循环冗余检验的上下文，每个 CRC 都有不同的多项式和种子
- 即时计算 8 位、16 位或 32 位宽的循环冗余检验（单周期计算），并将结果存储在一个内部寄存器中。实现以下标准循环冗余检验多项式：
  - $x^8+x^4+x^3+x^2+1$ [根据 SAEJ1850，VDA CAN 协议中定义的比特位 CRC7：CRC0]。每个上下文的 CRC_CFG 寄存器的第 28:29 位应被用来选择多项式，以保持与本 IP 以前版本的兼容性。
  - $x^{16} + x^{12} + x^5 + 1$ [16 位 CRC-CCITT]
  - $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ [32 位 CRC-以太网(32)]
  - $x^5 + x^3 + x^2 + x + 1$ [CRC-8-H2F AUTOSAR 多项式]
- 密钥引擎与通信外围耦合，其中添加了循环冗余检查应用程序，以实现安全通信协议
- 将核从周期性消耗的循环冗余检验中分流出来，并帮助检查安全启动或定期程序的配置签名。
- CRC 单元作为外围总线连接到 IP 总线上
- DMA 支持

8.7 通用模块

8.7.1 周期性中断定时器（PIT）

PIT 提供以下功能：

- PIT0 和 PIT1 用于 8 个通用中断定时器
- 32 位计数器分辨率和实现 64 位定时器的链接
- 使用 133 MHz 的时钟源
- 通道 0-3 可以作为 DMA 请求的触发器使用

8.7.2 12 位模数转换器（ADC）

- 在 1.8V 时分辨率高达 12 位的线性逐次逼近算法
- 高达 0.5 MS/s 的采样率
- 每个 ADC 有多达 6 个单端外部模拟输入，加上来自内部源的额外输入
- 单次或连续转换
- 单端 12 位
- 可配置的采样时间和转换速度
- 转换完成标志和中断
- 掉电模式（SAR_ADC 处于不活动状态）
- 可选择的异步硬件转换触发器
- 对各种可编程的值进行自动比较，并产生中断
- 连接到一个通道的温度传感器
- 内部电源电压监测

- 自校准模式和自检能力（供电和电容自检）
- 软件可选择的预采样
- 4 个模拟看门狗将 ADC 结果与预定义的水平（低、高、范围）进行比较，然后将结果存储在适当的 ADC 结果位置上
- 每个通道都有可编程的 DMA 功能

8.7.3 FlexTimer 模块（FTM）

FTM 具有以下功能：

- 可选择的源时钟
  - 可从外围 PLL、48 MHz FIRC 和外部引脚中选择时钟源
  - 选择外部时钟，将 FTM 时钟连接到一个芯片级输入引脚，允许你将 FTM 计数器与一个芯片外时钟源同步
- 预分频器除以 1、2、4、8、16、32、64 或 128 的因子
- 16 位计数器
- 支持 6 个通道
- 每个通道都可以配置为输入捕获、输出比较、或边缘对齐的 PWM 模式
- 所有通道都可以配置为中心对齐的 PWM 模式
- 每一对通道可以组合起来产生一个 PWM 信号，并对 PWM 信号的两个边进行独立控制
- FTM 通道可以作为具有相同输出的一对，具有互补输出的一对，或具有独立输出的独立通道运行
- 可为每个互补对插入空载时间
- 每个通道的极性是可配置的
- 每个通道产生一个中断
- 当计数器溢出时，产生中断
- 对总是零和总是 1 的情况下的输入捕捉进行测试
- 脉冲的双边缘捕获和周期宽度测量
- 带输入滤波器的正交解码器，相对位置计数和位置计数的中断或对外部事件的捕获位置计数（通道 0/1）
- 从以太网 IEEE 1588 模块触发输入信号

8.7.4 交叉触发单元（CTU）

根据用户设定的条件，CTU 可以自动生成 ADC 转换请求，不占用 CPU 开销，同时可以以最小的 CPU 开销实现动态配置。

CTU 具有提供以下功能：

- ADC 和 FlexPWM 之间的交叉触发
- 双缓冲的触发器生成单元，具有多达 8 个由外部触发器产生的独立触发器
- 可在顺序模式或触发模式下配置的触发生成单元
- 触发延迟单元，以补偿外部低通滤波器的延迟
- 双缓冲全局触发器单元允许 eTimer 同步和/或 ADC 命令生成
- 双缓冲 ADC 命令列表指针，以减少 ADC 触发单元的更新

- 最多可有 24 条 ADC 命令的双缓冲 ADC 转换命令列表
- 每个触发器能够产生连续的指令
- ADC 转换命令允许每个 ADC 控制自己的 ADC 通道，单个或同步采样，独立的结果队列选择
- 具有功能安全功能的 DMA 支持

8.7.5 信号量 2（SEMA42）

SEMA42 是一个内存映射模块，它提供：在多核系统中为实现信号量所需要的鲁棒的硬件支持；一个简单的机制，通过单个写访问实现“锁定和解锁”操作。硬件信号量提供硬件强制门，以及与门控机制有关的其他有用的系统功能。

- 在多处理器配置中支持 16 个硬件强制门
  - 门以字节数组形式出现，它有 16 项，可读写访问
  - 每个硬件门有 4 位状态机、16 个状态
  - 使用逻辑总线号和指定的数据模式，来验证所有的写操作
  - 一个门一旦被锁定，它可以（且必须）由锁定它的处理器通过写零来解锁。
- 支持安全复位机制，以清除单个门和清除所有门的内容。

9 封装

S32G3 系列芯片与 S32G2 系列芯片的引脚是兼容的。有以下封装可供选择：

- 525 FC-PBGA 封装，525 个球，物理尺寸：19 mm × 19 mm，间距 0.8 mm
  - 23 x 23 阵列，角球已被消除

10 订购信息

S32G3 零件编号*

生产零件编号

S32	1-3	*产品品牌和状态*
G	4	*产品线*
3	5	*系列*
9	6	*MPU 性能标识符*
9	7	*MCU 性能标识符 系统和系统 RAM 大小*
A	8	*产品类型*
S	9	*芯片配置*
C	10	*Arm 核速度*
K0	11-12	*制造和掩模修正*
V	13	*温度（T_A）范围*
UC	14-15	*包装编码*
R	16	*运送方式*

第 1、第 2、第 3 特性
产品品牌和状态
P32 = 原型芯片
S32 = 合格器件

第 4 特性
产品线
G = 网关

第 5 特性
系列
3 = S32G3 系列

第 6 特性
MPU 性能标识符
7 – 4x Cortex-A53
9 – 8x Cortex-A53

第 7 特性
MCU 性能标识符系统和系统 RAM 大小
8 = 3x Cortex-M7 和 15 MB SRAM
9 = 4x Cortex-M7 和 20 MB SRAM

第 8 特性
产品类型
A = MCU + MPU

第 9 特性
芯片配置
A = 标准芯片
S = 高级安全芯片

第 10 特性
Arm 核速度
A = 400 MHz (Cortex-M7), 1000 MHz (Cortex-A53)
B = 400 MHz (Cortex-M7), 1100 MHz (Cortex-A53)
C = 400 MHz (Cortex-M7), 1300 MHz (Cortex-A53)

第 11、12 特性
制造和掩模修正
K = TSMC 台积电制造
x = 掩模修正（0 = 首次掩模修正）

第 13 特性
温度（T_A）范围
C = -40°C 至 85°C
V = -40°C 至 105°C

第 14、15 特性
包装编码
UC = 525 FC-PBGA，19x19mm，间距 0.8mm

第 16 特性
运送方式
T = 浅塑料盒
R = 卷盘

	S32G378A	S32G379A	S32G398A	S32G399A
ARM Cortex-M7 Cores	3	4	3	4
ARM Cortex-A53 Cores	4	4	8	8
System RAM 大小	15 MB	20 MB	15 MB	20 MB

*有关零件编号的更多信息，请联系恩智浦销售代表

图 6. 订购信息

11 术语表

ADAS	高级驾驶辅助系统
BCAN	基本 CAN 模块；LLCE 子系统的一部分
DDR	双倍数据速率
DRAM	动态随机访问内存
DTCM	数据紧耦合内存
ECC	错误校正码
ECU	引擎控制单元
FPU	浮点单元
PRNG	伪随机数生成器
SDR	单一数据速率

TCD	传输控制描述符
TCM	紧密耦合内存
TMC	时间监测比较器；SBSW 的一部分
TMWDP	定时多看门狗处理器；SBSW 的一部分
TRNG	随机数生成器

How To Reach Us

Home Page:

nxp.com.cn

Web Support:

nxp.com.cn/support

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors. In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately.

Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

Right to make changes — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

Limiting values — Stress above one or more limiting values (as defined in the Absolute Maximum Ratings System of IEC 60134) will cause permanent damage to the device. Limiting values are stress ratings only and (proper) operation of the device at these or any other conditions above those given in the Recommended operating conditions section (if present) or the Characteristics sections of this document is not warranted. Constant or repeated exposure to limiting values will permanently and irreversibly affect the quality and reliability of the device.

Evaluation products —This product is provided on an "as is" and "with all faults" basis for evaluation purposes only. NXP Semiconductors, its affiliates and their suppliers expressly disclaim all warranties, whether express, implied or statutory, including but not limited to the implied warranties of non-infringement, merchantability and fitness for

Table continues on the next page...

a particular purpose. The entire risk as to the quality, or arising out of the use or performance, of this product remains with customer. In no event shall NXP Semiconductors, its affiliates or their suppliers be liable to customer for any special, indirect, consequential, punitive or incidental damages (including without limitation damages for loss of business, business interruption, loss of use, loss of data or information, and the like) arising out the use of or inability to use the product, whether or not based on tort (including negligence), strict liability, breach of contract, breach of warranty or any other theory, even if advised of the possibility of such damages.

Notwithstanding any damages that customer might incur for any reason whatsoever (including without limitation, all damages referenced above and all direct or general damages), the entire liability of NXP Semiconductors, its affiliates and their suppliers and customer's exclusive remedy for all of the foregoing shall be limited to actual damages incurred by customer based on reasonable reliance up to the greater of the amount actually paid by customer for the product or five dollars (US$5.00). The foregoing limitations, exclusions and disclaimers shall apply to the maximum extent permitted by applicable law, even if any remedy fails of its essential purpose.

Translations — A non-English (translated) version of a document is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

For more information, please visit: http://www.nxp.com.cn
For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 10/2021
Document identifier: S32G3PB